

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-348224

(43)Date of publication of application : 22.12.1994

(51)Int.Cl.

G09G 3/20  
G02F 1/133  
G02F 1/133  
G09G 3/36

**BEST AVAILABLE COPY**

(21)Application number : 05-164209

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 07.06.1993

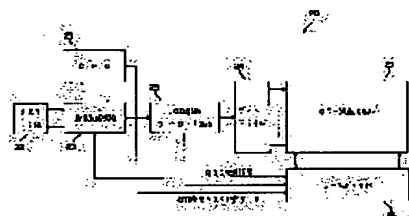
(72)Inventor : OGURA KAZUO

(54) VIDEO DISPLAY DEVICE AND LIQUID CRYSTAL DRIVING DEVICE OF VIDEO DISPLAY DEVICE

(57)Abstract:

PURPOSE: To make a static image part easily visible with video signals in which animation image parts and static image parts coexist.

CONSTITUTION: This video display device 20 for which the liquid crystal driving device is used has an image forming circuit 23 which forms image data and outputs the data and a source driver 26 which samples the RGB video signals in a horizontal direction and outputs the signals to the source electrodes of the transistors in a color liquid crystal panel 27 after amplifying the signals. This source driver 26 is provided with a timing generating circuit which generates various kinds of clocks to enable the assignment of the changing timing of a sampling clock of the RGB video signals according to the data for assigning the phase change from a CPU 21 by an arbitrary horizontal scanning line number, a sample-hold circuit which samples/holds the RGB video signals in the horizontal direction according to the clocks formed by this timing generating circuit and an output buffer which amplifies the sampling data for several horizontal dot numbers and outputs the data to the color liquid crystal panel 27 so that the phases of the sampling clocks of the RGB video signals of the source driver 26 can be changed arbitrarily.



## LEGAL STATUS

[Date of request for examination] 01.06.2000

[Date of sending the examiner's decision of rejection] 05.11.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] In the liquid crystal driving gear of the graphic display device which samples the color video signal of a graphic display device, and drives the signal electrode of an electrochromatic display display panel A clock generation means to generate two or more kinds of sampling clocks which specify the timing which samples said color video signal, It has the sampling hold means which is based on the sampling clock generated by this clock generation means, and samples / holds said color video signal.

The liquid crystal driving gear of the graphic display device characterized by making it possible to change the phase of two or more kinds of sampling clocks generated with said clock generation means.

[Claim 2] The liquid crystal driving gear of the graphic display device according to claim 1 characterized by having a phase modification tab-control-specification means to specify the location which changes the phase of the sampling clock of the color video signal of said clock generation means.

[Claim 3] The modification location of said phase modification tab-control-specification means is a liquid crystal driving gear of the graphic display device according to claim 2 characterized by being the horizontal scanning location of arbitration.

[Claim 4] Said phase modification tab-control-specification means is the liquid crystal driving gear of the graphic display device according to claim 2 characterized by specifying the location of a color video signal which has an image class assignment means to specify the image class of color video signal, and was specified by this image class assignment means.

[Claim 5] Said image class is the liquid crystal driving gear of the graphic display device according to claim 4 characterized by being a still picture and animations, such as an alphabetic character.

[Claim 6] A video signal is scanned for every field and it has the liquid crystal driving means which generates a color video signal and drives a liquid crystal display panel based on the generated color video signal. Said liquid crystal driving means A clock generation means to generate two or more kinds of sampling clocks which specify the timing which samples said color video signal, It has the sampling hold means which is based on the sampling clock generated by this clock generation means, and samples / holds said color video signal. The graphic display device characterized by making it possible to change the phase of two or more kinds of sampling clocks generated with said clock generation means.

[Claim 7] An image generation means to generate and output the color video signal corresponding to image data, The liquid crystal driving means which changes the output from said image generation means into the signal which drives an electrochromatic display panel, The control means which controls said image generation means and said driving means, and the electrochromatic display panel which drives by said liquid crystal driving means, and displays an image based on said color video signal, A clock generation means to generate two or more kinds of sampling clocks which specify the timing to which it has and said liquid crystal driving means samples said color video signal, It has the sampling hold means which is based on the sampling clock generated by this clock generation means, and samples / holds said color video signal. The graphic display device characterized by making it possible to change the phase of two or more kinds of sampling clocks generated with said clock generation means.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the liquid crystal driving gear which drives the graphic display device (for example, graphic display device which has a dot-matrix method color liquid crystal display) which displays an image using the liquid crystal device (liquid crystal display) (liquid crystal display) LCD etc. in detail, and this graphic display device with respect to a graphic display device and the liquid crystal driving gear of a graphic display device.

[0002]

[Description of the Prior Art] In order to prevent degradation of the liquid crystal by electrochemical reaction, it is necessary to drive LCD with alternating voltage. In an easy indicator, the static driving method for impressing direct alternating voltage to a display electrode is used, and in order to reduce the number of lead wire by the numerical indicator of many digits to this, the multiplexer driving method which carries out time-sharing actuation of some display electrodes collectively is used. The large-scale thing of multiplexer actuation is Matrix LCD (matrixLCD). Actuation of this LCD is performed by impressing a sequential-scanning pulse to X electrode, and impressing signal-level pulses all at once from Y electrode according to the display pattern of that line.

[0003] As a driver circuit for driving a dot-matrix method color liquid crystal display, there is a driver configuration as shown, for example in drawing 1313. In the LCD driver configuration shown in drawing 13, a sign 10 is a TFT dot-matrix electrochromatic display panel (henceforth the LCD panel), and gradation display actuation of the LCD panel 10 is carried out by the controller 13 which controls the horizontal source driver 11, the vertical gate drivers 12, and these drivers.

[0004] As shown in drawing 15, after the above-mentioned source driver 11 carries out the sequential sampling of the RGB video signal of 1 horizontal-scanning period (hereafter referred to as 1H) in the sampling hold circuit 15 based on the sampling clock from the timing generating circuit 14 and carries out 1 horizontal-scanning period sampling, it is amplified by the output buffer 16, and it is outputted to the source electrode of the transistor in the LCD panel 10. Moreover, a horizontal scanning signal is outputted to the gate electrode of the transistor in the LCD panel 10 by the gate driver 12.

[0005] As the list of the horizontal dot (pixel) of a general dot-matrix method color liquid crystal display (for example, the above-mentioned LCD panel 10) is shown in drawing 14, each dot of R, B, and G (let this combination be 1 picture element) is repeatedly located in a line. The source driver 11 samples the signal for 3 dots wide equivalent to the location of the pixel made into the object to a gap of the location of this horizontal R, B, and G each dot by shifting the phase of the clock which controls the sampling of R, B, and G each video signal to be shown in drawing 16. This approach is effective in order to display correctly the horizontal position of the color information according to RGB individual in a small LCD panel with few present horizontal dots, with especially the number of level dots maintained, and animations, such as TV, are used by the display of an image given a subject.

[0006]

[Problem(s) to be Solved by the Invention] However, fading etc. is not so effective to display the large quiescence image of contrast ratios, such as a display of an alphabetic character, depending on the

class of image information by the approach of sampling the signal for 3 dots wide by shifting the phase of the clock which controls the sampling of R, B, and G each video signal if it is in such a conventional dot-matrix method electrochromatic display driving gear. For example, as shown in the panel top display rectangle of drawing 16, as for change of the amplitude, a video signal only with 3 dots (one picture element) only of horizontal directions will be in the condition that the effect of a certain thing spreads on the LCD panel on 2 dots (adjoining picture element) of left-hand side.

[0007] In order to avoid this, what made the phase of a sampling clock equiphase as shown in drawing 17 is known. A signal of 3 dots (one picture element) like drawing 17 at this time is displayed also on the LCD panel with 3 dots (one picture element). however -- this sampling clock equiphase method -- a horizontal dot -- there was a trouble that resolution will fall to (the number of horizontal picture elements / 3). Then, this invention aims at offering the driving gear of the graphic display device which can make a still picture part legible, and a graphic display device in the video signal with which an animation part and a still picture part are intermingled.

[0008]

[Means for Solving the Problem] The liquid crystal driving gear of the graphic display device by invention according to claim 1 In the liquid crystal driving gear of the graphic display device which samples the color video signal of a graphic display device, and drives the signal electrode of an electrochromatic display display panel for the above-mentioned object achievement A clock generation means to generate two or more kinds of sampling clocks which specify the timing which samples said color video signal, It has the sampling hold means which is based on the sampling clock generated by this clock generation means, and samples / holds said color video signal. It is characterized by making it possible to change the phase of two or more kinds of sampling clocks generated with said clock generation means.

[0009] You may make it the liquid crystal driving gear of said graphic display device equipped with a phase modification tab-control-specification means to specify the location which changes the phase of the sampling clock of the color video signal of said clock generation means as indicated by claim 2.

[0010] Moreover, you may make it the modification location of said phase modification tab-control-specification means be a horizontal scanning location of arbitration as a desirable mode.

[0011] Moreover, said phase modification tab-control-specification means has an image class assignment means to specify the image class of color video signal, and you may make it specify the location of a color video signal specified by this image class assignment means as indicated by claim 4, for example.

[0012] Moreover, you may make it said image classes be a still picture and animations, such as an alphabetic character, as a desirable mode, as indicated by claim 5.

[0013] The graphic display device by invention according to claim 6 scans a video signal for every field. It has the liquid crystal driving means which generates a color video signal and drives a liquid crystal display panel based on the generated color video signal. Said liquid crystal driving means A clock generation means to generate two or more kinds of sampling clocks which specify the timing which samples said color video signal, It has the sampling hold means which is based on the sampling clock generated by this clock generation means, and samples / holds said color video signal. It is characterized by making it possible to change the phase of two or more kinds of sampling clocks generated with said clock generation means.

[0014] An image generation means for the graphic display device by invention according to claim 6 to generate the color video signal corresponding to image data, and to output, The liquid crystal driving means which changes the output from said image generation means into the signal which drives an electrochromatic display panel, The control means which controls said image generation means and said driving means, and the electrochromatic display panel which drives by said liquid crystal driving means, and displays an image based on said color video signal, A clock generation means to generate two or more kinds of sampling clocks which specify the timing to which it has and said liquid crystal driving

means samples said color video signal, It has the sampling hold means which is based on the sampling clock generated by this clock generation means, and samples / holds said color video signal. It is characterized by making it possible to change the phase of two or more kinds of sampling clocks generated with said clock generation means.

[0015]

[Function] In invention claims 1, 2, 3, and 6 and given in seven, if the phase of a video-signal sampling clock is specified with a phase modification tab-control-specification means, the clock from which the phase of the sampling clock of a color video signal differs assignment before with the clock generation means of a liquid crystal driving gear will be generated. A sample hold means does the sample/hold of a color video signal, and it is made to output to the signal electrode of an electrochromatic display display panel according to the clock generated by the clock generation means.

[0016] therefore, the video signal with which an animation part and a still picture part are intermingled -- setting -- a horizontal dot -- lowering of resolution can be prevented and it becomes possible to make a still picture part legible.

[0017] In invention claim 4 and given in five, if it is directed to a liquid crystal driving gear that the image class changed from an image class distinction means to distinguish the image class of color video signal, it will generate the clock from which the phase of the sampling clock of a color video signal differs with the clock generation means of a liquid crystal driving gear. According to the clock generated by the clock generation means, a sample hold means does the sample/hold of a color video signal, and it is made for a liquid crystal driving gear to output this signal to the signal electrode of an electrochromatic display display panel. Therefore, a still picture, animations, etc., such as an alphabetic character, can make still picture parts, such as an alphabetic character, more legible in the case of the image display in which a different class is intermingled.

[0018]

[Example] Hereafter, the example of this invention is explained with reference to drawing 1 - drawing 14 . 1st example drawing 1 - drawing 7 are drawings showing the 1st example of this invention, and are the example applied to the dot-matrix method electrochromatic display driving gear.

[0019] First, a configuration is explained. Drawing 1 is the whole graphic display device 20 block diagram which used the liquid crystal driving gear. The graphic display device 20 is equipped with CPU21, the memory means 22, the image generation circuit 23, the gate driver 24, the LCD actuation controller circuit 25, the source driver 26, and the electrochromatic display panel 27 grade in drawing 1 R> 1. A value required for each actuation calculates, and CPU (control means)21 outputs the phase modification raster the data used for phase assignment of a video-signal sampling clock to the source driver 26 mentioned later, delivering and receiving data between RAM according to the micro program stored in the program ROM which it has inside while outputting the various control signals and the control data for controlling each part of a graphic display device 20 based on the processed data. The memory means 22 is RAM which memorizes the image data for carrying out a liquid crystal display.

[0020] The image generation circuit 23 accesses the memory means 22 by control of CPU21, and generates and outputs image data (a video signal, various synchronizing signals, etc.). Here, from the image generation circuit 23, various synchronizing signals, such as a horizontal and a Vertical Synchronizing signal, are outputted to the LCD actuation controller circuit (driving means) 25, and R, B, and G each video signal is outputted to the source driver 26. The LCD actuation controller circuit 25 outputs a predetermined clock to the source driver 26 and a gate driver 24 based on the Vertical Synchronizing signal outputted from the image generation circuit 23.

[0021] A gate driver 24 outputs a sequential-scanning signal to the gate electrode of the electrochromatic display panel 27. Gradation display actuation of the electrochromatic display panel 27 is carried out by the horizontal source driver 26 and the gate driver 24 of said perpendicular direction.

[0022] The phase modification raster the data which the LCD actuation controller circuit 25 to a synchronizing signal uses [ R, B, and G each video signal ] for phase assignment of CPU21 to a video-

signal sampling clock are inputted into the above-mentioned source driver 26 from the image generation circuit 23, respectively. After the above-mentioned source driver 26 samples and amplifies a horizontal RGB video signal, it is outputted to the source electrode of the transistor in the electrochromatic display panel 27. Moreover, a scan signal is outputted to the timing as which the gate electrode of the transistor in the electrochromatic display panel 27 is determined by the horizontal scanning line position with a gate driver 24.

[0023] Drawing 2 is the block block diagram of the source driver 26 which constitutes the description part of the above-mentioned graphic display device. In drawing 2, the above-mentioned source driver 26 consists of a timing generating circuit 29, a sample hold circuit 15, and an output buffer 16. Based on the Horizontal Synchronizing signal and basic clock which are outputted from the LCD actuation controller circuit 25, only the number of level dots generates a video-signal sampling clock, and the timing generating circuit (clock generation means) 29 outputs it to a sample hold circuit 15. This sampling clock outputs an output clock to an output buffer 16 at 1H period when it is outputted at to every 1 level period part (it is hereafter written as 1H), and a sampling clock is not outputted. Moreover, R, B, and G each phase contrast between video-signal sampling clocks is controlled by the phase modification raster directions data outputted from CPU21.

[0024] R, B, and G each video signal is inputted into a sample hold circuit (sample hold means) 15 from the image generation circuit 23, and a sample hold circuit 15 samples and carries out 1H sample only of the number of level dots for R, B, and G each video signal to it based on the timing of the sampling clock generated in said timing generating circuit 29. An output buffer 16 amplifies the sample data for several level dot minutes, and outputs it to the electrochromatic display panel 27.

[0025] Drawing 3 is the circuit diagram of the timing generating circuit 29 in the above-mentioned source driver 26, and the signal of each part of this timing generating circuit 29 is shown in the timing chart of drawing 6 mentioned later. In drawing 3, the above-mentioned timing generating circuit 29 is divided roughly, and consists of the clock generation section 40, the shift register section 50, and the phase pulse generating section 60.

[0026] The above-mentioned clock generation section 40 is the basic clock ck and Horizontal Synchronizing signal H. sync and Vertical Synchronizing signal V Based on sync, sampling start signal srt, The clock generation circuit 41 which generates the output clock supplied to each clock ck1, ck2a, ck3a, and a sample hold circuit 15, Clock phase change-over pulse ck outputted from the phase pulse generating section 60 The OR gate 42 which takes OR logic of clock ck2a from phase and the clock generation circuit 41, and outputs a clock ck2, Clock phase change-over pulse ck outputted from the phase pulse generating section 60 The OR gate 43 which takes OR logic of clock ck3a from phase and the clock generation circuit 41, and outputs a clock ck3, Clock pulse ck outputted from the clock pulse generating section 60 It consists of the OR gates 43 which take OR logic of clock ck3a from the reversal output and the clock generation circuit 41 of phase, and output a clock ck3.

[0027] Two or more latches (x(R, B, G) n piece) 51-57 are connected to a serial, the above-mentioned shift register section 50 is constituted, and clocks ck1, ck2, and ck3 or ck4 is supplied to each latches 51-57 from the clock generation section 40. The shift register section 50 shifts the sampling start signal srt outputted from the clock generation circuit 41 with the above-mentioned clocks ck1, ck2, ck3, and ck4, and outputs a sampling clock (R, B, G) 1 - n.

[0028] The above-mentioned phase pulse generating section 60 is Horizontal Synchronizing signal H. sync is inputted as an input signal and it is Vertical Synchronizing signal V. The counter 61 with which sync is inputted into a reset terminal, It is Horizontal Synchronizing signal H about phase modification raster tbe data. With the D latch 62 who holds to the timing of sync (L1) Output H of a counter 61 ct is the D latch's (L1) 62 output L1 to an input terminal A. out is inputted into an input terminal B. Data H ct and data L1 out is compared and it is H. ct>L1 It is the clock phase change-over pulse ck at the time of out. It consists of comparators 63 which make phase H level.

[0029] Drawing 4 is the circuit diagram for 1 dot of the sample hold circuit 15 in the above-mentioned

source driver 26, and the circuit for 1 dot shown in drawing 4 exists in juxtaposition several level dot minutes in the sample hold circuit 15 of drawing 2. Setting to drawing 4, 1 dot of a sample hold circuit 15 is the video-signal input video. When with the switch [ on/off / in / switch / with a video-signal sampling clock ] SW1, the capacitor C1 in which a video signal is stored when a switch SW1 is on, and the output clock which serves as H level at the 1H next period and an output clock is on, it is the video-signal output video. It consists of switches SW2 which output out. In this case, video-signal input video As in, the video signal corresponding to that dot foreground color is inputted among R, B, and G each video signal, and the sampling clock corresponding to that dot horizontal position controls on/off of a switch SW1. Moreover, a switch SW1 is turned [ the period of H level ] on on by the sampling clock, and a video signal is stored in a capacitor C1. An output clock serves as H level at the 1H next period, and is outputted to an output buffer 31.

[0030] Next, actuation of this example is explained.

The graphic display device 20 whole explanatory view 5 of operation which used the liquid crystal driving gear is a flow chart which shows the program of phase modification processing of the sampling clock performed by CPU21, and Sign Sn (n= 1, 2, ...) shows each step of a flow among this drawing.

[0031] First, initial setting, such as various registers, is performed at step S1, and the data access and output of an output image to the image generation circuit 23 are directed at step S2. Subsequently, phase modification raster No. is outputted to the source driver 26 at step S3, and processing of this flow is finished. The phase modification raster the data which change the phase of R [ of the source driver 26 ], B, and G each video-signal sampling clock from CPU21 are outputted by this processing.

[0032] Moreover, CPU21 outputs the control signal for controlling the image generation circuit 23 based on the processed data, and the image generation circuit 23 accesses the memory means 22 by control of CPU21, and generates and outputs image data, such as a video signal and various synchronizing signals. From the image generation circuit 23, various synchronizing signals, such as a horizontal and a Vertical Synchronizing signal, are outputted to the LCD actuation controller circuit 25, and R, B, and G each video signal is outputted to the source driver 26. In the source driver 26, a horizontal RGB video signal is sampled, and after being amplified, it is outputted to the source electrode of the transistor in the electrochromatic display panel 27. Moreover, a scan signal is outputted to the gate electrode of the transistor in the electrochromatic display panel 27 to the timing determined by the horizontal scanning line position with a gate driver 24.

[0033] While only the number of level dots is generated and a video-signal sampling clock is outputted to every 1 level period part (1H) in a sample hold circuit 15 based on the Horizontal Synchronizing signal and basic clock which are outputted by the explanation timing generating circuit 29 of a source driver of operation from the LCD actuation controller circuit 25, an output clock is outputted to a sample hold circuit 15 at 1H period when a sampling clock is not outputted. Moreover, if phase modification raster directions data are received from CPU21, according to the actuation later mentioned by drawing 2 and drawing 6, R, B, and G each phase contrast between video-signal sampling clocks is controlled, and the phase of R [ of the source driver 26 ], B, and G each sampling clock can change only the period of arbitration.

[0034] R, B, and G each video signal is inputted into a sample hold circuit 15 from the image generation circuit 23, and R, B, and G each video signal is sampled only for the number of level dots in a sample hold circuit 15 based on the timing of the sampling clock generated in said timing generating circuit 29. And the sample data for several level dot minutes is amplified by the output buffer 16, and it is outputted to the electrochromatic display panel 27.

[0035] Drawing 6 is a timing chart which shows actuation of the above-mentioned timing generating circuit 29, and is comparator 63 output ck. The condition that the phase of each sampling clock changes in the time of being a time of a phase signal being H level and L level is shown. As shown in drawing 6, they are the basic clock ck and Horizontal Synchronizing signal H by the clock generation section 40 of the timing generating circuit 29. sync and Vertical Synchronizing signal V The output clock supplied to

the sampling start signal srt, each clocks ck1, ck2, ck3, and ck4, and a sample hold circuit 15 based on sync is generated.

[0036] Horizontal Synchronizing signal H sync is inputted into the counter 61 of the phase pulse generating section 60, and the reset is Vertical Synchronizing signal V. It is carried out by sync. Namely, counter 61 output H ct shows a display top vertical position. Moreover, the phase modification raster the data inputted into the D latch (L1) 62 are Horizontal Synchronizing signals H by the D latch (L1) 62. It is held to the timing of sync. Let this phase modification raster directions data be the display top vertical position which changes the phase between R, B, and G each sampling clock. The D latch's (L1) 62 output is L1. It is referred to as out. Output H of the above-mentioned counter 61 Output L1 of ct and the D latch (L1) 62 out is inputted into the input terminals A and B of a comparator 63, and it is Data H. The magnitude of the data of ct and data L1out is compared.  $H\ ct > L1$  When set to out, it is comparator 63 output ck. A phase signal is set to H level.

[0037] Comparator 63 output ck It is inputted into the OR gates 42-44 of the clock generation section 40, and a phase signal is ck. If a phase signal is set to H level, the outputs ck2 and ck3 of the OR gates 42 and 43 are fixed to H level. Moreover, ck When a phase signal is L level, it is referred to as  $ck2=ck2a$  and  $ck3=ck3a$ , and ck4 is fixed to H level. Each clocks ck1, ck2, ck3, and ck4 generated in the above-mentioned clock generation section 40 are used by the latches 51-57 of R [ of the shift register section 50 ], B, and G each sampling clock. The phase change of the sampling clock by the vertical position of arbitration is made possible by this actuation.

[0038] And a sampling clock (R, B, G) 1 - n can be obtained by shifting the sampling start signal srt inputted into the shift register section 50 with the above-mentioned clocks ck1, ck2, ck3, and ck4. Namely, two or more latches (x(R, B, G) n piece) 51-57 are connected to a serial, and the above-mentioned shift register section 50 is constituted. If clocks ck1, ck2, and ck3 or ck4 is supplied to each latches 51-57 from the clock generation section 40 The sampling start signal srt outputted from the clock generation circuit 41 is shifted with the above-mentioned clocks ck1, ck2, ck3, and ck4, and a sampling clock (R, B, G) 1 - n are outputted to a sample hold circuit 15.

[0039] In the sample hold circuit 15, it is constituted so that the circuit for 1 dot may exist in juxtaposition several level dot minutes, as shown in drawing 4 . Video signal video corresponding to the dot foreground color among R, B, and G each video signal in is inputted. on/off control of the switch SW1 is carried out by the sampling clock corresponding to the dot horizontal position. As shown in drawing 7 , the switch SW1 of the circuit for 1 dot where a sampling clock corresponds only in the period of H level is turned on on, and a video signal is stored in a capacitor C1. An output clock serves as H level at the 1H next period, and is outputted to an output buffer 16. And the sample data for several level dot minutes outputted from the sample hold circuit 15 is amplified by the output buffer 16, and is outputted to the electrochromatic display panel 27.

[0040] Thus, the graphic display device 20 which used the liquid crystal driving gear of this example CPU21 which controls each part of a graphic display device 20, and the image generation circuit 23 which generates and outputs image data, It has the source driver 26 outputted to the source electrode of the transistor in the electrochromatic display panel 27 after sampling and amplifying a horizontal RGB video signal. The source driver 26 The timing generating circuit 29 which generates the various clocks which enable assignment of the modification timing of the phase of the sampling clock of a RGB video signal with the horizontal scanning wire gage of arbitration according to the phase modification the data from CPU21, The clock generated by the timing generating circuit 29 is followed. A horizontal RGB video signal A sample / sample hold circuit 15 to hold, Since the output buffer 16 which amplifies the sample data for several level dot minutes, and is outputted to the electrochromatic display panel 27 is formed and it enables it to change the phase of the sampling clock of the RGB video signal of the source driver 26 into arbitration Still picture parts, such as an alphabetic character, can be made more legible in the case of the LCD display of the image with which a still picture and animations, such as an alphabetic character, are intermingled.



[0041] for example, -- if phase contrast is prepared in the phase of a sampling clock about the image of the upper film part from the location of raster No.=Cv and the phase of a sampling clock is made into equiphase about the image of a lower alphabetic character part from the location of raster No.=Cv in the display screen where an animation part and a still picture part are intermingled like the example of an output image shown in drawing 7 -- a horizontal dot -- lowering of resolution can be prevented and a still picture part can be made more legible.

[0042] 2nd example drawing 8 - drawing 12 are drawings showing the 2nd example of this invention, and are the example applied to the dot-matrix method electrochromatic display driving gear. The same sign is given to the same component as said 1st example in explanation of this example, and explanation of a duplication part is omitted.

[0043] First, a configuration is explained. Drawing 8 is the whole graphic display device 70 block diagram which used the liquid crystal driving gear. The graphic display device 70 is equipped with CPU (control means)71, the memory means 22, the image generation circuit (an image class distinction means is included) 72 (a detail is later mentioned by drawing 9 ), the gate driver 24, the LCD actuation controller circuit 25, the source driver 74, and the electrochromatic display panel 27 grade in drawing 8 R> 8. A value required for each actuation is calculated and CPU71 outputs the various control signals and control data for controlling each part of a graphic display device 70 based on the processed data, delivering and receiving data between RAM according to the micro program stored in the program ROM which it has inside.

[0044] The image generation circuit 72 generates and outputs the image class flag used for the assignment for changing the phase of a video-signal sampling clock according to a display image class while it accesses the memory means 22 by control of CPU71 and generates and outputs image data (a video signal, various synchronizing signals, etc.). Therefore, from the image generation circuit 72, various synchronizing signals, such as a horizontal and a Vertical Synchronizing signal, are outputted to the LCD actuation controller circuit 25, and R, B, and G each video signal and the above-mentioned image class flag are outputted to the source driver 74. The LCD actuation controller circuit 25 outputs a predetermined clock to the source driver 74 and a gate driver 24 based on the Vertical Synchronizing signal outputted from the image generation circuit 72.

[0045] A gate driver 24 outputs a scan signal to the gate electrode of the electrochromatic display panel 27. Gradation display actuation of the electrochromatic display panel 27 is carried out by the horizontal source driver 74, the gate driver 24 of said perpendicular direction, and the LCD actuation controller circuit 25.

[0046] Drawing 9 is the block block diagram of the above-mentioned image generation circuit 72. In drawing 9 , the image generation circuit 72 consists of the vertical counter Cv and the various synchronizing signal generating circuits 75, memory access and an image data generation circuit 76, an image data register 77 for one raster, and a present raster image class register 78. The above-mentioned vertical counter Cv and the various synchronizing signal generating circuits 75 generate the vertical counter Cv and various synchronizing signals, output the generated vertical counter Cv to memory access and the image data generation circuit 76, and output various synchronizing signals to the LCD actuation controller circuit 25.

[0047] By reading an image class flag from the memory means 22 image data and the whole raster for every raster with the vertical counter Cv generated by the above-mentioned vertical counter Cv and the various synchronizing signal generating circuits 75, image data and the whole raster, above-mentioned memory access and image data generation circuit 76 generate image data, and stores image data in the image data register 77 for one raster, and the present raster image class register 78 the generated image data and the whole raster, respectively.

[0048] R and B which were stored in the image data register 77 for the one above-mentioned raster, and G each video signal are outputted to the sample hold circuit 15 of the source driver 74, and the image class flag stored in the current raster image class register 78 is outputted to the timing

generating circuit 79 (after-mentioned) of the source driver 74. The source driver 74 performs phase control of Charge ck with the inputted image class flag.

[0049] It returns to drawing 8 , and while the image class flag for changing R, B, and G each video signal and the phase of a video-signal sampling clock according to a display image class from the image generation circuit 72 is inputted, a synchronizing signal is inputted into the above-mentioned source driver 74 from the LCD actuation controller circuit 25. After the above-mentioned source driver 74 samples and amplifies a horizontal RGB video signal, it is outputted to the source electrode of the transistor in the electrochromatic display panel 27. Moreover, a scan signal is outputted to the gate electrode of the transistor in the electrochromatic display panel 27 to the timing determined by the horizontal scanning line position with a gate driver 24.

[0050] Drawing 13 is the block block diagram of the above-mentioned source driver 74. In drawing 13 , the above-mentioned source driver 74 consists of a timing generating circuit (clock generation means) 79, a sample hold circuit (sample hold means) 15, and an output buffer 16. Based on the Horizontal Synchronizing signal and basic clock which are outputted from the LCD actuation controller circuit 25, only the number of level dots generates a video-signal sampling clock, and the timing generating circuit 79 outputs it to a sample hold circuit 15. This sampling clock outputs an output clock to an output buffer 16 at 1H period when it is outputted to every 1H at, and a sampling clock is not outputted. Moreover, R, B, and G each phase contrast between video-signal sampling clocks is controlled by the phase modification raster directions data outputted from CPU71.

[0051] R, B, and G each video signal is inputted into a sample hold circuit 15 from the image generation circuit 72, and a sample hold circuit 15 samples and carries out 1H sample only of the number of level dots for R, B, and G each video signal to it based on the timing of the sampling clock generated in said timing generating circuit 79. An output buffer 16 amplifies the sample data for several level dot minutes, and outputs it to the electrochromatic display panel 27.

[0052] Drawing 11 is the circuit diagram of the timing generating circuit 79 in the above-mentioned source driver 74, and the signal of each part of this timing generating circuit 79 serves as a timing chart of said drawing 6 , and same timing chart. In drawing 11 , the above-mentioned timing generating circuit 79 is divided roughly, and consists of the clock generation section 40, the shift register section 50, and the phase pulse generating section 80.

[0053] The above-mentioned clock generation section 40 is the basic clock ck and Horizontal Synchronizing signal H. sync and Vertical Synchronizing signal V Based on sync, sampling start signal srt, The clock generation circuit 41 which generates the output clock supplied to each clock ck1, ck2a, ck3a, and a sample hold circuit 15, Clock pulse ck outputted from the phase pulse generating section 80 The OR gate 42 which takes OR logic of clock ck2a from phase and the clock generation circuit 41, and outputs a clock ck2, Clock phase change-over pulse ck outputted from the phase pulse generating section 80 The OR gate 43 which takes OR logic of clock ck3a from phase and the clock generation circuit 41, and outputs a clock ck3, Clock phase change-over pulse ck outputted from the phase pulse generating section 80 It consists of the OR gates 43 which take OR logic of clock ck3a from the reversal output and the clock generation circuit 41 of phase, and output a clock ck3.

[0054] Two or more latches (x(R, B, G) n piece) 51-57 are connected to a serial, the above-mentioned shift register section 50 is constituted, and clocks ck1, ck2, and ck3 or ck4 is supplied to each latches 51-57 from the clock generation section 40. The shift register section 50 shifts the sampling start signal srt outputted from the clock generation circuit 41 with the above-mentioned clocks ck1, ck2, ck3, and ck4, and outputs a sampling clock (R, B, G) 1 - n. The above-mentioned phase pulse generating section 80 is Horizontal Synchronizing signal H about the image class flag inputted as image class data. It is constituted by the D latch (L1) 81 who holds to the timing of sync, and the D latch's (L1) 81 output is the clock phase change-over pulse ck. It becomes a phase signal.

[0055] In addition, the circuit diagram for 1 dot of the sample hold circuit 15 in the above-mentioned source driver 74 is the same as the circuit diagram shown in said drawing 4 , and the circuit for 1 dot

shown in drawing 4 exists in juxtaposition several level dot minutes in the sample hold circuit 15 of drawing 10.

[0056] Next, actuation of this example is explained.

The explanation CPU 71 of operation by the whole graphic display device 70 which used the liquid crystal driving gear The control signal for controlling the image generation circuit 72 based on the processed data is outputted. The image generation circuit 72 While accessing the memory means 22 by control of CPU71 and generating and outputting image data, such as a video signal and various synchronizing signals, the image class flag used for the assignment for changing the phase of a video-signal sampling clock according to a display image class is generated and outputted.

[0057] From the image generation circuit 23, various synchronizing signals, such as a horizontal and a Vertical Synchronizing signal, are outputted to the LCD actuation controller circuit 25, and R, B, and G each video signal and the above-mentioned image class flag are outputted to the source driver 74. In the source driver 74, a horizontal RGB video signal is sampled, and after being amplified, it is outputted to the source electrode of the transistor in the electrochromatic display panel 27. Moreover, a scan signal is outputted to the gate electrode of the transistor in the electrochromatic display panel 27 to the timing determined by the horizontal scanning line position with a gate driver 24.

[0058] Moreover, the following actuation is performed in the image generation circuit 72. In memory access and the image data generation circuit 76, an image class flag is read from the memory means 22 image data and the whole raster for every raster with the vertical counter Cv generated by the vertical counter Cv and the various synchronizing signal generating circuits 75, image data and the whole raster, image data is generated and image data is stored in the image data register 77 for one raster, and the present raster image class register 78 the generated image data and the whole raster, respectively. R and B which were stored in the image data register 77 for one raster, and G each video signal are outputted to the sample hold circuit 15 of the source driver 74. Moreover, the image class flag stored in the current raster image class register 78 is outputted to the timing generating circuit 79 of the source driver 74, and the source driver 74 performs phase control of Charge ck with the inputted image class flag.

[0059] While only the number of level dots is generated and a video-signal sampling clock is outputted to every 1H in a sample hold circuit 30 based on the Horizontal Synchronizing signal and basic clock which are outputted by the explanation timing generating circuit 79 of a LCD driver of operation from the LCD actuation controller circuit 25, an output clock is outputted to a sample hold circuit 30 at 1H period when a sampling clock is not outputted.

[0060] Moreover, if an image class flag is received from the image generation circuit 72, according to the actuation later mentioned by drawing 11, R, B, and G each phase contrast between video-signal sampling clocks is controlled, and the phase of R [ of the source driver 74 ], B; and G each sampling clock can change only the period of arbitration. R, B, and G each video signal is inputted into a sample hold circuit 15 from the image generation circuit 72, and R, B, and G each video signal is sampled only for the number of level dots in a sample hold circuit 15 based on the timing of the sampling clock generated in said timing generating circuit 79. And the sample data for several level dot minutes is amplified by the output buffer 16, and it is outputted to the electrochromatic display panel 27.

[0061] It is shown by the timing chart of said drawing 6, and the same timing chart, and actuation of the above-mentioned timing generating circuit 79 is comparator 63 output ck. The condition that the phase of each sampling clock changes in the time of being a time of a phase signal being H level and L level is shown. As shown in said drawing 6, they are the basic clock ck and Horizontal Synchronizing signal H by the clock generation section 40 of the timing generating circuit 79. sync and Vertical Synchronizing signal V The output clock supplied to the sampling start signal srt, each clocks ck1, ck2, ck3, and ck4, and a sample hold circuit 15 based on sync is generated.

[0062] An image class flag is inputted into the D latch (L1) 81 who constitutes the phase pulse generating section 80 as image class data, and it is Horizontal Synchronizing signal H. It is held to the

timing of sync and the D latch's (L1) 81 output serves as a clock phase change-over pulse ckphase signal. D latch (L1) 81 output ck It is inputted into the OR gates 42-44 of the clock generation section 40, and a phase signal is ck. If a phase signal is set to H level, the outputs ck2 and ck3 of the OR gates 42 and 43 are fixed to H level. Moreover, ck When a phase signal is L level, it is referred to as ck2=ck2a and ck3=ck3a, and ck4 is fixed to H level.

[0063] Each clocks ck1, ck2, ck3, and ck4 generated in the above-mentioned clock generation section 40 are used by the latches 51-57 of R [ of the shift register section 50 ], B, and G each sampling clock. The phase change of the sampling clock by the vertical position of arbitration is made possible by this actuation.

[0064] And a sampling clock (R, B, G) 1 - n can be obtained by shifting the sampling start signal srt inputted into the shift register section 50 with the above-mentioned clocks ck1, ck2, ck3, and ck4. Namely, two or more latches (x(R, B, G) n piece) 51-57 are connected to a serial, and the above-mentioned shift register section 50 is constituted. If clocks ck1, ck2, and ck3 or ck4 is supplied to each latches 51-57 from the clock generation section 40 The sampling start signal srt outputted from the clock generation circuit 41 is shifted with the above-mentioned clocks ck1, ck2, ck3, and ck4, and a sampling clock (R, B, G) 1 - n are outputted to a sample hold circuit 15.

[0065] The sample data for several level dot minutes outputted from the sample hold circuit 15 is amplified by the output buffer 16, and is outputted to the electrochromatic display panel 27.

[0066] Thus, since the source driver 74 of the graphic display device 70 which used the liquid crystal driving gear of this example enables it to change the phase of the sampling clock of a RGB video signal according to a display image class according to the image class flag from the image generation circuit 72, it can make still picture parts, such as an alphabetic character, more legible in the case of the LCD display of images with which a different class is intermingled, such as a still picture, animations, etc., such as an alphabetic character.

[0067] For example, like the example of an output image shown in drawing 12 , in the display screen where an animation part and a still picture part are intermingled, an image output flag is changed in the location of raster No.=Cv, and the phase of a sampling clock is made into equiphase about the image of a lower alphabetic character part from the location of raster No.=Cv. thereby -- a horizontal dot -- lowering of resolution can be prevented and a still picture part can be made more legible.

[0068] In addition, in the 2nd example of the above, although the image class flag was formed for every raster, an image class flag may be determined by comparing with the video signal in front of 1 screen. Moreover, although each above-mentioned example showed the example with the case where the phase of a sampling clock is changed with equiphase If the phase of a sampling clock is changed into arbitration, modification of what kind of phase (-- for example, extent of modification of a phase -- two or more pattern \*\*\*\* -- it is made like --) -- \*\*\*\*\* -- it may carry out, modification of a phase may not be 1 level period unit, and it cannot be overemphasized that you may change within two or more level period unit or 1 level period. Furthermore, it cannot be overemphasized that the circuit which constitutes a timing generating circuit etc., a matrix, the gate number, its class, etc. are not restricted to the example mentioned above. It cannot be overemphasized that not only a active matrix but a passive matrix is sufficient as an electrochromatic display panel.

[0069]

[Effect of the Invention] the video signal with which an animation part and a still picture part are intermingled according to invention of claims 1, 2, 3, and 6 and seven publications -- setting -- a horizontal dot -- lowering of resolution can be prevented and it becomes possible to make a still picture part legible.

[0070] According to invention claim 4 and given in five, a still picture, animations, etc., such as an alphabetic character, can make still picture parts, such as an alphabetic character, more legible in the case of the image display in which a different class is intermingled.

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the whole 1st example block diagram of the graphic display device which used the liquid crystal driving gear concerning this invention.

[Drawing 2] It is the block block diagram of the source driver of the liquid crystal driving gear of this example.

[Drawing 3] It is the circuit diagram of the timing generating circuit in the source driver of the liquid crystal driving gear of this example.

[Drawing 4] It is the circuit diagram for 1 dot of the sample hold circuit in the source driver of the liquid crystal driving gear of this example.

[Drawing 5] It is the flow chart which shows actuation of CPU of the liquid crystal driving gear of this example.

[Drawing 6] It is the timing chart which shows actuation of the liquid crystal driving gear of this example.

[Drawing 7] It is drawing showing the example of an output image of the liquid crystal driving gear of this example.

[Drawing 8] It is the whole 2nd example block diagram of the liquid crystal driving gear concerning this invention.

[Drawing 9] It is the block block diagram of the image generation circuit of the liquid crystal driving gear of this example.

[Drawing 10] It is the block block diagram of the source driver of the liquid crystal driving gear of this example.

[Drawing 11] It is the circuit diagram of the timing generating circuit in the source driver of the liquid crystal driving gear of this example.

[Drawing 12] It is drawing showing the example of an output image of the liquid crystal driving gear of this example.

[Drawing 13] It is the block diagram of the LCD driver of the conventional liquid crystal driving gear.

[Drawing 14] It is drawing showing the list of the pixel on the liquid crystal panel of the conventional liquid crystal driving gear.

[Drawing 15] It is the block block diagram of the source driver of the conventional liquid crystal driving gear.

[Drawing 16] It is a timing chart for explaining the sampling clock phase contrast way—that-should-be type of the conventional liquid crystal driving gear.

[Drawing 17] It is a timing chart for explaining the sampling clock equiphase method of the conventional liquid crystal driving gear.

[Description of Notations]

15 Sample Hold Circuit (Sample Hold Means)  
16 Output Buffer  
20 70 Liquid crystal driving gear  
21 71 CPU  
22 Memory Means  
23 72 Image generation circuit  
24 Gate Driver  
25 LCD Actuation Controller Circuit  
26 74 Source driver  
27 Electrochromatic Display Display Panel  
29 79 Timing generating circuit (clock generation means)  
40 Clock Generation Section  
41 Clock Generation Circuit  
42-44 OR gate  
50 Shift Register Section  
51-57 Latch  
60 80 Clock pulse generating section  
61 Counter  
62 81 D latch (L1)  
63 Comparator  
75 Vertical Counter Cv and Various Synchronizing Signal Generating Circuits  
76 Memory Access and Image Data Generation Circuit  
77 Image Data Register for One Raster  
78 Current Raster Image Class Register

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-348224

(43)公開日 平成6年(1994)12月22日

(51)IntCl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/20		V 9176-5G		
		R 9176-5G		
G 0 2 F 1/133	5 1 0	9226-2K		
	5 5 0	9226-2K		
G 0 9 G 3/36				

審査請求 未請求 請求項の数7 F D (全 16 頁)

(21)出願番号 特願平5-164209

(22)出願日 平成5年(1993)6月7日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72)発明者 小倉 和夫

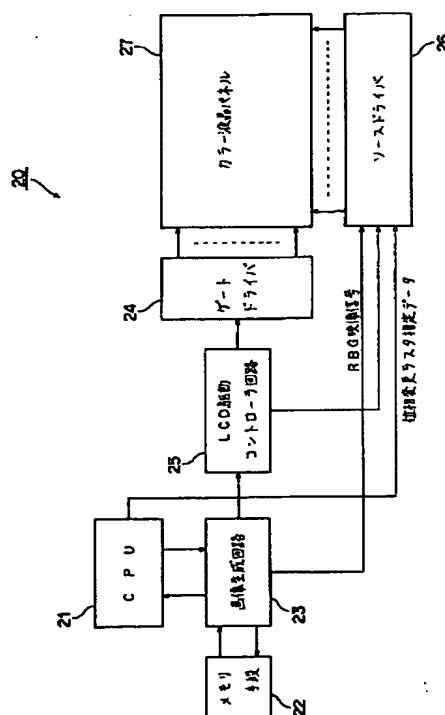
東京都羽村市栄町3丁目2番1号 カシオ  
計算機株式会社羽村技術センター内

(54)【発明の名称】 映像表示装置および映像表示装置の液晶駆動装置

(57)【要約】

【目的】 動画部分と静止画部分の混在する映像信号において、静止画部分を見やすくすることができるようにする。

【構成】 液晶駆動装置を使用した映像表示装置20は、画像データを生成して出力する画像生成回路23と、水平方向のRGB映像信号をサンプリングし、増幅した後カラー液晶パネル27内のトランジスタのソース電極に出力するソースドライバ26とを備え、ソースドライバ26は、CPU21からの位相変更指定データに従ってRGB映像信号のサンプリングクロックの位相の変更タイミングを、任意の水平走査線番号で指定可能にする各種クロックを発生するタイミング発生回路29と、タイミング発生回路29により生成されたクロックに従って水平方向のRGB映像信号をサンプル/ホールドするサンプルホールド回路15と、水平ドット数分のサンプリングデータを増幅してカラー液晶パネル27に出力する出力バッファ16とを設け、ソースドライバ26のRGB映像信号のサンプリングクロックの位相を任意に変更できるようにする。



(2)

## 【特許請求の範囲】

【請求項1】 映像表示装置のカラー映像信号をサンプリングしてカラー液晶表示パネルの信号電極を駆動する映像表示装置の液晶駆動装置において、

前記カラー映像信号をサンプリングするタイミングを指定する複数種類のサンプリングクロックを生成するクロック生成手段と、

このクロック生成手段により生成されたサンプリングクロックに基づいて前記カラー映像信号をサンプリング／ホールドするサンプリングホールド手段とを備え、

前記クロック生成手段により生成する複数種類のサンプリングクロックの位相を異ならせることを可能としたことを特徴とする映像表示装置の液晶駆動装置。

【請求項2】 前記クロック生成手段のカラー映像信号のサンプリングクロックの位相を変更する位置を指定する位相変更位置指定手段を、備えたことを特徴とする請求項1記載の映像表示装置の液晶駆動装置。

【請求項3】 前記位相変更位置指定手段の変更位置は、任意の水平走査位置であることを特徴とする請求項2記載の映像表示装置の液晶駆動装置。

【請求項4】 前記位相変更位置指定手段は、カラー映像信号の映像種類を指定する映像種類指定手段を有し、この映像種類指定手段により指定されたカラー映像信号の位置を指定することを特徴とする請求項2記載の映像表示装置の液晶駆動装置。

【請求項5】 前記映像種類は、文字等の静止画と動画であることを特徴とする請求項4記載の映像表示装置の液晶駆動装置。

【請求項6】 映像信号を1フィールド毎に走査して、カラー映像信号を発生し、発生したカラー映像信号に基づいて液晶表示パネルを駆動する液晶駆動手段を有し、前記液晶駆動手段は、前記カラー映像信号をサンプリングするタイミングを指定する複数種類のサンプリングクロックを生成するクロック生成手段と、

このクロック生成手段により生成されたサンプリングクロックに基づいて前記カラー映像信号をサンプリング／ホールドするサンプリングホールド手段とを備え、

前記クロック生成手段により生成する複数種類のサンプリングクロックの位相を異ならせることを可能としたことを特徴とする映像表示装置。

【請求項7】 画像データに対応するカラー映像信号を生成して出力する画像生成手段と、

前記画像生成手段からの出力を、カラー液晶パネルを駆動する信号に変換する液晶駆動手段と、

前記画像生成手段及び前記駆動手段を制御する制御手段と、

前記液晶駆動手段により駆動され、前記カラー映像信号に基づいて画像を表示するカラー液晶パネルと、有し、前記液晶駆動手段は、前記カラー映像信号をサンプリングするタイミングを指定する複数種類のサンプリングク

2

ロックを生成するクロック生成手段と、

このクロック生成手段により生成されたサンプリングクロックに基づいて前記カラー映像信号をサンプリング／ホールドするサンプリングホールド手段とを備え、

前記クロック生成手段により生成する複数種類のサンプリングクロックの位相を異ならせることを可能としたことを特徴とする映像表示装置。

【発明の詳細な説明】

【0001】

10 【産業上の利用分野】本発明は、映像表示装置および映像表示装置の液晶駆動装置に係わり、詳しくは液晶デバイス（液晶ディスプレイ）LCD（liquid crystal display）等を用いて画像を表示する映像表示装置（例えば、ドットマトリクス方式カラー液晶ディスプレイを有する映像表示装置）およびこの映像表示装置を駆動する液晶駆動装置に関する。

【0002】

20 【従来の技術】LCDは、電気化学反応による液晶の劣化を防ぐために交流電圧で駆動する必要がある。簡単な表示器では表示電極に直接交流電圧を印加するスタティック駆動法が用いられ、これに対して多桁の数字表示器などでは、リード線の本数を減らすためにいくつかの表示電極をまとめて時分割駆動するマルチプレクス駆動法が用いられる。マルチプレクス駆動の大規模なものがマトリクスLCD（matrixLCD）である。このLCDの駆動は、X電極に順次走査パルス（以下、X線）を印加し、そのラインの表示パターンに応じてY電極から一斉に信号電圧パルスを印加することによって行われる。

30 【0003】ドットマトリクス方式カラー液晶ディスプレイを駆動するためのドライバ回路としては、例えば図13に示すようなドライバ構成がある。図13に示すLCDドライバ構成において、符号10はTFTドットマトリクスカラー液晶パネル（以下、LCDパネルという）であり、LCDパネル10は、水平方向のソースドライバ11、垂直方向のゲートドライバ12及びこれらのドライバを制御するコントローラ13により階調表示駆動される。

40 【0004】上記ソースドライバ11は、図15に示すように1水平走査期間（以下、1Hと呼ぶ）のRGB映像信号をタイミング発生回路14からのサンプリングクロックに基づきサンプリングホールド回路15に順次サンプリングし、1水平走査期間サンプリングした後出力バッファ16で増幅し、LCDパネル10内のトランジスタのソース電極に出力する。また、LCDパネル10内のトランジスタのゲート電極にはゲートドライバ12により水平走査信号が出力される。

50 【0005】一般的なドットマトリクス方式カラー液晶ディスプレイ（例えば、上記LCDパネル10）の水平方向ドット（画素）の並びは図14に示すようにR、B、G（この組み合わせを1絵素とする）の各ドットが繰



(3)

3

り返し並ぶ。この水平方向のR、B、G各ドットの位置のずれに対してソースドライバ11は、図16に示すようにR、B、G各映像信号のサンプリングを制御するクロックの位相をずらすことにより、目的とする画素の位置に相当する横3ドット分の信号のサンプリングを行なう。この方法は、現状の水平方向ドット数の少ない小型LCDパネルにおいて、特に水平ドット数を保ったままRGB個別のカラー情報の水平位置を正しく表示するために有効であり、TVなど動画が主体とされる映像の表示で用いられる。

【0006】

【発明が解決しようとする課題】しかしながら、このような従来のドットマトリクス方式カラー液晶駆動装置にあっては、R、B、G各映像信号のサンプリングを制御するクロックの位相をずらすことにより横3ドット分の信号のサンプリングを行なう方法では、画像情報の種類によっては文字の表示などコントラスト比の大きい静止映像を表示したいときはぼやけてしまうなどあまり有効ではない。例えば、図16のパネル上表示範囲に示すように、水平方向3ドット（1絵素）しかない映像信号がLCDパネル上では振幅の変化はあるものの、その影響が左側2ドット（隣接する絵素）に広がってしまう状態となる。

【0007】これを回避するために、図17に示すようにサンプリングクロックの位相を同位相にしたものが知られている。このときは図17のような3ドット（1絵素）の信号はLCDパネル上でも3ドット（1絵素）のまま表示される。しかし、このサンプリングクロック同位相方式では水平方向ドット分解能が、（水平画素数／3）に低下してしまうという問題点があった。そこで本発明は、動画部分と静止画部分の混在する映像信号において、静止画部分を見やすくすることができる映像表示装置および映像表示装置の駆動装置を提供することを目的としている。

【0008】

【課題を解決するための手段】請求項1記載の発明による映像表示装置の液晶駆動装置は、上記目的達成のため、映像表示装置のカラー映像信号をサンプリングしてカラー液晶表示パネルの信号電極を駆動する映像表示装置の液晶駆動装置において、前記カラー映像信号をサンプリングするタイミングを指定する複数種類のサンプリングクロックを生成するクロック生成手段と、このクロック生成手段により生成されたサンプリングクロックに基づいて前記カラー映像信号をサンプリング／ホールドするサンプリングホールド手段とを備え、前記クロック生成手段により生成する複数種類のサンプリングクロックの位相を異ならせることを可能としたことを特徴とする。

【0009】前記映像表示装置の液晶駆動装置は、例えば請求項2に記載されているように、前記クロック生成

4

手段のカラー映像信号のサンプリングクロックの位相を変更する位置を指定する位相変更位置指定手段を、備えるようにしてもよい。

【0010】また、好ましい態様として、前記位相変更位置指定手段の変更位置は、任意の水平走査位置であるようにしてもよい。

【0011】また、例えば請求項4に記載されているように、前記位相変更位置指定手段は、カラー映像信号の映像種類を指定する映像種類指定手段を有し、この映像種類指定手段により指定されたカラー映像信号の位置を指定するようにしてもよい。

【0012】また、好ましい態様として、例えば請求項5に記載されているように、前記映像種類は、文字等の静止画と動画であるようにしてもよい。

【0013】請求項6記載の発明による映像表示装置は、映像信号を1フィールド毎に走査して、カラー映像信号を発生し、発生したカラー映像信号に基づいて液晶表示パネルを駆動する液晶駆動手段を有し、前記液晶駆動手段は、前記カラー映像信号をサンプリングするタイミングを指定する複数種類のサンプリングクロックを生成するクロック生成手段と、このクロック生成手段により生成されたサンプリングクロックに基づいて前記カラー映像信号をサンプリング／ホールドするサンプリングホールド手段とを備え、前記クロック生成手段により生成する複数種類のサンプリングクロックの位相を異ならせることを可能としたことを特徴とする。

【0014】請求項6記載の発明による映像表示装置は、画像データに対応するカラー映像信号を生成して出力する画像生成手段と、前記画像生成手段からの出力を、カラー液晶パネルを駆動する信号に変換する液晶駆動手段と、前記画像生成手段及び前記駆動手段を制御する制御手段と、前記液晶駆動手段により駆動され、前記カラー映像信号に基づいて画像を表示するカラー液晶パネルと、有し、前記液晶駆動手段は、前記カラー映像信号をサンプリングするタイミングを指定する複数種類のサンプリングクロックを生成するクロック生成手段と、このクロック生成手段により生成されたサンプリングクロックに基づいて前記カラー映像信号をサンプリング／ホールドするサンプリングホールド手段とを備え、前記クロック生成手段により生成する複数種類のサンプリングクロックの位相を異ならせることを可能としたことを特徴とする。

【0015】

【作用】請求項1、2、3、6及び7記載の発明では、位相変更位置指定手段により映像信号サンプリングクロックの位相を指定すると、液晶駆動装置のクロック生成手段によりカラー映像信号のサンプリングクロックの位相が指定前と異なるクロックが生成される。クロック生成手段により生成されたクロックに従ってサンプルホールド手段がカラー映像信号をサンプル／ホールドし、カ

(4)

5

ラー液晶表示パネルの信号電極に出力するようにする。

【0016】したがって、動画部分と静止画部分の混在する映像信号において、水平方向ドット分解能の低下を防止することができ、静止画部分を見やすくすることが可能になる。

【0017】請求項4及び5記載の発明では、カラー映像信号の映像種類を判別する映像種類判別手段から画像種類が変化したことが液晶駆動装置に指示されると、液晶駆動装置のクロック生成手段によりカラー映像信号のサンプリングクロックの位相が異なるクロックを生成する。クロック生成手段により生成されたクロックに従ってサンプルホールド手段がカラー映像信号をサンプル／ホールドし、液晶駆動装置は該信号をカラー液晶表示パネルの信号電極に出力するようにする。したがって、文字などの静止画と動画など、異なる種類の混在する画像表示の際に文字などの静止画部分をより見やすくすることができる。

【0018】

【実施例】以下、図1～図14を参照して本発明の実施例を説明する。

#### 第1実施例

図1～図7は本発明の第1実施例を示す図であり、ドットマトリクス方式カラー液晶駆動装置に適用した例である。

【0019】まず、構成を説明する。図1は液晶駆動装置を使用した映像表示装置20の全体構成図である。図1において、映像表示装置20は、CPU21、メモリ手段22、画像生成回路23、ゲートドライバ24、LCD駆動コントローラ回路25、ソースドライバ26およびカラー液晶パネル27等を備えている。CPU（制御手段）21は、内部に有するプログラムROMに格納されているマイクロプログラムに従ってRAMとの間でデータの授受を行ったりしながら各動作に必要な値を演算し、処理したデータに基づいて映像表示装置20の各部を制御するための各種制御信号及び制御データを出力するとともに、後述するソースドライバ26に映像信号サンプリングクロックの位相指定に用いる位相変更ラスタ指定データを出力する。メモリ手段22は、液晶表示するための画像データを記憶するRAM等である。

【0020】画像生成回路23は、CPU21の制御によりメモリ手段22をアクセスし画像データ（映像信号、各種同期信号など）を生成して出力する。ここで、画像生成回路23からは、水平、垂直同期信号等の各種同期信号がLCD駆動コントローラ回路（駆動手段）25に出力され、R、B、G各映像信号がソースドライバ26に出力される。LCD駆動コントローラ回路25は、画像生成回路23から出力された垂直同期信号などを基にソースドライバ26及びゲートドライバ24に所定のクロックを出力する。

【0021】ゲートドライバ24は、カラー液晶パネル

6

27のゲート電極に順次走査信号を出力する。カラー液晶パネル27は水平方向のソースドライバ26および前記垂直方向のゲートドライバ24により階調表示駆動される。

【0022】上記ソースドライバ26には、画像生成回路23からR、B、G各映像信号が、LCD駆動コントローラ回路25から同期信号が、CPU21から映像信号サンプリングクロックの位相指定に用いる位相変更ラスタ指定データがそれぞれ入力される。上記ソースドライバ26は、水平方向のRGB映像信号をサンプリングし、増幅した後カラー液晶パネル27内のトランジスタのソース電極に出力する。また、カラー液晶パネル27内のトランジスタのゲート電極はゲートドライバ24により水平走査線位置により決定されるタイミングで走査信号が出力される。

【0023】図2は上記映像表示装置の特徴部分を構成するソースドライバ26のブロック構成図である。図2において、上記ソースドライバ26は、タイミング発生回路29、サンプルホールド回路15及び出力バッファ16から構成される。タイミング発生回路（クロック生成手段）29は、LCD駆動コントローラ回路25から出力される水平同期信号及び基本クロックに基づいて映像信号サンプリングクロックを水平ドット数だけ生成し、サンプルホールド回路15に出力する。このサンプリングクロックは、1水平期間分（以下、1Hと略記する）おきに出力され、サンプリングクロックが出力されない1H期間には出力バッファ16に出力クロックを出力する。また、CPU21から出力される位相変更ラスタ指示データによりR、B、G各映像信号サンプリングクロック間位相差を制御する。

【0024】サンプルホールド回路（サンプルホールド手段）15には、画像生成回路23からR、B、G各映像信号が入力され、サンプルホールド回路15は、前記タイミング発生回路29で発生したサンプリングクロックのタイミングを基にR、B、G各映像信号を、水平ドット数だけサンプリングし、1Hサンプルする。出力バッファ16は、水平ドット数分のサンプルデータを増幅し、カラー液晶パネル27に出力する。

【0025】図3は上記ソースドライバ26内のタイミング発生回路29の回路図であり、このタイミング発生回路29の各部の信号は後述する図6のタイミングチャートに示される。図3において、上記タイミング発生回路29は、大別してクロック生成部40、シフトレジスタ部50及びフェーズパルス発生部60から構成される。

【0026】上記クロック生成部40は、基本クロックck、水平同期信号Hsync及び垂直同期信号Vsyncを基にサンプリングスタート信号srt、各クロックck1、ck2a、ck3a及びサンプルホールド回路15に供給される出力クロックを生成するクロック

(5)

7

ク生成回路41と、フェーズパルス発生部60から出力されたクロックフェーズ切換パルスck phaseとクロック生成回路41からのクロックck 2 aのOR論理をとりクロックck 2を出力するORゲート42と、フェーズパルス発生部60から出力されたクロックフェーズ切換パルスck phaseとクロック生成回路41からのクロックck 3 aのOR論理をとりクロックck 3を出力するORゲート43と、クロックパルス発生部60から出力されたクロックパルスck phaseの反転出力とクロック生成回路41からのクロックck 3 aのOR論理をとりクロックck 3を出力するORゲート43とから構成されている。

【0027】上記シフトレジスタ部50は、複数の（R、B、G）×n個の）ラッチ51～57が直列に接続されて構成され、各ラッチ51～57にはクロック生成部40からクロックck 1、ck 2、ck 3又はck 4が供給される。シフトレジスタ部50は、クロック生成回路41から出力されたサンプリングスタート信号srtを、上記クロックck 1、ck 2、ck 3、ck 4によりシフトしサンプリングクロック（R、B、G）1～nを出力する。

【0028】上記フェーズパルス発生部60は、水平同期信号H syncが入力信号として入力され、垂直同期信号V syncがリセット端子に入力されるカウンタ61と、位相変更ラスタ指定データを水平同期信号H syncのタイミングで保持するDラッチ（L1）62と、カウンタ61の出力H ctが入力端子AにDラッチ（L1）62の出力L1 outが入力端子Bに入力され、データH ctとデータL1 outとを比較してH ct>L1 outのときクロックフェーズ切換パルスck phaseをHレベルにするコンパレータ63とから構成されている。

【0029】図4は上記ソースドライバ26内のサンプルホールド回路15の1ドット分の回路図であり、図4に示す1ドット分の回路が図2のサンプルホールド回路15内には水平ドット数分並列に存在する。図4において、サンプルホールド回路15の1ドット分は、映像信号入力video inを映像信号サンプリングクロックでon/offするスイッチSW1と、スイッチSW1がonのとき映像信号を蓄えるコンデンサC1と、次の1H期間にHレベルとなる出力クロックでon/offし、出力クロックがonのとき映像信号出力video outを出力するスイッチSW2とから構成されている。この場合、映像信号入力video inとしては、R、B、G各映像信号の内そのドット表示色に対応する映像信号が入力され、そのドット水平位置に対応するサンプリングクロックがスイッチSW1のon/offを制御する。また、サンプリングクロックがHレベルの期間だけスイッチSW1がonになり、コンデンサC1に映像信号が蓄えられる。出力クロックは次の1H期

8

間にHレベルとなり、出力バッファ31に出力される。

【0030】次に、本実施例の動作を説明する。液晶駆動装置を使用した映像表示装置20の全体動作説明

図5はCPU21により実行されるサンプリングクロックの位相変更処理のプログラムを示すフローチャートであり、同図中、符号Sn（n=1, 2, …）はフローの各ステップを示している。

【0031】まず、ステップS1で各種レジスタなどの初期設定を行ない、ステップS2で画像生成回路23に対する出力画像のデータアクセス及び出力を指示する。次いで、ステップS3で位相変更ラスタNo. をソースドライバ26に出力して本フローの処理を終える。この処理により、CPU21からソースドライバ26のR、B、G各映像信号サンプリングクロックの位相を変更する位相変更ラスタ指定データが出力される。

【0032】また、CPU21は、処理したデータに基づいて画像生成回路23を制御するための制御信号を出力し、画像生成回路23は、CPU21の制御によりメモリ手段22をアクセスして映像信号、各種同期信号などの画像データを生成して出力する。画像生成回路23からは、LCD駆動コントローラ回路25に水平、垂直同期信号等の各種同期信号が出力され、ソースドライバ26にR、B、G各映像信号が出力される。ソースドライバ26では、水平方向のRGB映像信号がサンプリングされ、増幅された後カラー液晶パネル27内のトランジスタのソース電極に出力される。また、ゲートドライバ24により水平走査線位置により決定されるタイミングでカラー液晶パネル27内のトランジスタのゲート電極に走査信号が出力される。

【0033】ソースドライバの動作説明

タイミング発生回路29によりLCD駆動コントローラ回路25から出力される水平同期信号及び基本クロックに基づいて映像信号サンプリングクロックが水平ドット数だけ生成され、1水平期間分（1H）おきにサンプルホールド回路15に出力されるとともに、サンプリングクロックが出力されない1H期間にはサンプルホールド回路15に出力クロックが出力される。また、CPU21から位相変更ラスタ指示データを受け取ると、図2及び図6で後述する動作に従ってR、B、G各映像信号サンプリングクロック間位相差が制御され、ソースドライバ26のR、B、G各サンプリングクロックの位相が任意の期間だけ変更できるようになる。

【0034】サンプルホールド回路15には、画像生成回路23からR、B、G各映像信号が入力され、サンプルホールド回路15では、前記タイミング発生回路29で発生したサンプリングクロックのタイミングに基づいてR、B、G各映像信号が水平ドット数だけサンプリングされる。そして、出力バッファ16によって水平ドット数分のサンプルデータが増幅されてカラー液晶パネル

(6)

9

27に出力される。

【0035】図6は、上記タイミング発生回路29の動作を示すタイミングチャートであり、コンパレータ63出力ck phase信号がHレベルのときとLレベルの時で各サンプリングクロックの位相が変化する状態を示している。図6に示すように、タイミング発生回路29のクロック生成部40により基本クロックck、水平同期信号H sync及び垂直同期信号V syncを基にサンプリングスタート信号srt、各クロックck1、ck2、ck3、ck4及びサンプルホールド回路15に供給される出力クロックが生成される。

【0036】水平同期信号H syncは、フェーズパルス発生部60のカウンタ61に入力され、そのリセットは垂直同期信号V syncにより行われる。すなわち、カウンタ61出力H ctはディスプレイ上垂直位置を示す。また、Dラッチ(L1)62に入力された位相変更ラスタ指定データはDラッチ(L1)62で水平同期信号H syncのタイミングで保持される。この位相変更ラスタ指示データはR、B、G各サンプリングクロック間の位相を変更するディスプレイ上垂直位置とする。Dラッチ(L1)62の出力は、L1 outとする。上記カウンタ61の出力H ctとDラッチ(L1)62の出力L1 outがコンパレータ63の入力端子A、Bに入力され、データH ctとデータL1 outのデータの大きさが比較される。H ct > L1 outになるとコンパレータ63出力ck phase信号がHレベルになる。

【0037】コンパレータ63出力ck phase信号は、クロック生成部40のORゲート42～44に入力されており、ck phase信号がHレベルになるとORゲート42、43の出力ck2、ck3をHレベルに固定している。また、ck phase信号がLレベルのときはck2=ck2a、ck3=ck3aとし、ck4をHレベルに固定する。上記クロック生成部40で生成された各クロックck1、ck2、ck3、ck4は、シフトレジスタ部50のR、B、G各サンプリングクロックのラッチ51～57で使用される。この動作により任意の垂直位置によるサンプリングクロックの位相変化を可能にしている。

【0038】そして、シフトレジスタ部50に入力されたサンプリングスタート信号srtを、上記クロックck1、ck2、ck3、ck4によりシフトすることによりサンプリングクロック(R、B、G)1～nを得ることができる。すなわち、上記シフトレジスタ部50は、複数の((R、B、G)×n個の)ラッチ51～57が直列に接続されて構成されており、各ラッチ51～57にはクロック生成部40からクロックck1、ck2、ck3又はck4が供給されると、クロック生成回路41から出力されたサンプリングスタート信号srtを、上記クロックck1、ck2、ck3、ck4によ

10

りシフトしてサンプリングクロック(R、B、G)1～nをサンプルホールド回路15に出力する。

【0039】サンプルホールド回路15内には、図4に示すように1ドット分の回路が水平ドット数分並列に存在するように構成されており、R、B、G各映像信号の内そのドット表示色に対応する映像信号video inが入力され、そのドット水平位置に対応するサンプリングクロックによってスイッチSW1がon/off制御され、図7に示すようにサンプリングクロックがHレベルの期間だけ該当する1ドット分の回路のスイッチSW1がonになり、コンデンサC1に映像信号が蓄えられる。出力クロックは次の1H期間にHレベルとなり、出力バッファ16に出力される。そして、サンプルホールド回路15から出力された水平ドット数分のサンプルデータは、出力バッファ16によって増幅されてカラー液晶パネル27に出力される。

【0040】このように本実施例の液晶駆動装置を使用した映像表示装置20は、映像表示装置20の各部を制御するCPU21と、画像データを生成して出力する画像生成回路23と、水平方向のRGB映像信号をサンプリングし、増幅した後カラー液晶パネル27内のトランジスタのソース電極に出力するソースドライバ26とを備え、ソースドライバ26は、CPU21からの位相変更指定データに従ってRGB映像信号のサンプリングクロックの位相の変更タイミングを、任意の水平走査線番号で指定可能にする各種クロックを発生するタイミング発生回路29と、タイミング発生回路29により生成されたクロックに従って水平方向のRGB映像信号をサンプル/ホールドするサンプルホールド回路15と、水平ドット数分のサンプルデータを増幅してカラー液晶パネル27に出力する出力バッファ16とを設け、ソースドライバ26のRGB映像信号のサンプリングクロックの位相を任意に変更できるようにしているので、文字などの静止画と動画の混在する画像のLCD表示の際に文字などの静止画部分をより見やすくすることができる。

【0041】例えば、図7に示す出力画像例のように、動画部分と静止画部分の混在する表示画面において、ラスタNo.=Cvの位置から上の映画部分の画像についてサンプリングクロックの位相に位相差を設け、ラスタNo.=Cvの位置から下の文字部分の画像についてサンプリングクロックの位相を同位相にすると水平方向ドット分解能の低下を防止することができ、静止画部分をより見やすくすることができる。

【0042】第2実施例

図8～図12は本発明の第2実施例を示す図であり、ドットマトリクス方式カラー液晶駆動装置に適用した例である。本実施例の説明にあたり前記第1実施例と同一構成部分には同一符号を付して重複部分の説明を省略する。

【0043】まず、構成を説明する。図8は液晶駆動装

(7)

11

置を使用した映像表示装置70の全体構成図である。図8において、映像表示装置70は、CPU(制御手段)71、メモリ手段22、画像生成回路(映像種類判別手段を含む)72(図9で詳細を後述する)、ゲートドライバ24、LCD駆動コントローラ回路25、ソースドライバ74及びカラー液晶パネル27等を備えている。CPU71は、内部に有するプログラムROMに格納されているマイクロプログラムに従ってRAMとの間でデータの授受を行ったりしながら各動作に必要な値を演算し、処理したデータに基づいて映像表示装置70の各部を制御するための各種制御信号及び制御データを出力する。

【0044】画像生成回路72は、CPU71の制御によりメモリ手段22をアクセスし画像データ(映像信号、各種同期信号など)を生成して出力するとともに、映像信号サンプリングクロックの位相を表示画像種類により変更するための指定に用いる画像種類フラグを生成して出力する。したがって、画像生成回路72からは、水平、垂直同期信号等の各種同期信号がLCD駆動コントローラ回路25に出力され、R、B、G各映像信号及び上記画像種類フラグがソースドライバ74に出力される。LCD駆動コントローラ回路25は、画像生成回路72から出力された垂直同期信号などを基にソースドライバ74及びゲートドライバ24に所定のクロックを出力する。

【0045】ゲートドライバ24は、カラー液晶パネル27のゲート電極に走査信号を出力する。カラー液晶パネル27は、水平方向のソースドライバ74、前記垂直方向のゲートドライバ24及びLCD駆動コントローラ回路25により階調表示駆動される。

【0046】図9は、上記画像生成回路72のブロック構成図である。図9において、画像生成回路72は、垂直カウンタCv及び各種同期信号発生回路75、メモリアクセス・画像データ生成回路76、1ラスタ分の画像データレジスタ77及び現在ラスタ画像種類レジスタ78から構成される。上記垂直カウンタCv及び各種同期信号発生回路75は、垂直カウンタCv及び各種同期信号を発生し、発生した垂直カウンタCvをメモリアクセス・画像データ生成回路76に、各種同期信号をLCD駆動コントローラ回路25に出力する。

【0047】上記メモリアクセス・画像データ生成回路76は、上記垂直カウンタCv及び各種同期信号発生回路75により発生した垂直カウンタCvにより1ラスタ毎にメモリ手段22から画像データ及びラスタ毎画像種類フラグを読み込むことによって画像データ及びラスタ毎画像データを生成し、生成した画像データ及びラスタ毎画像データを、1ラスタ分の画像データレジスタ77及び現在ラスタ画像種類レジスタ78にそれぞれ格納する。

【0048】上記1ラスタ分の画像データレジスタ77

12

に格納されたR、B、G各映像信号はソースドライバ74のサンプルホールド回路15に出力され、現在ラスタ画像種類レジスタ78に格納された画像種類フラグはソースドライバ74のタイミング発生回路79(後述)に出力される。ソースドライバ74は、入力された画像種類フラグによりチャージckの位相制御を行なう。

【0049】図8に戻って、上記ソースドライバ74には、画像生成回路72からR、B、G各映像信号と、映像信号サンプリングクロックの位相を表示画像種類により変更するための画像種類フラグが入力されるとともに、LCD駆動コントローラ回路25から同期信号が入力される。上記ソースドライバ74は、水平方向のRGB映像信号をサンプリングし、増幅した後カラー液晶パネル27内のトランジスタのソース電極に出力する。また、カラー液晶パネル27内のトランジスタのゲート電極にはゲートドライバ24により水平走査線位置により決定されるタイミングで走査信号が出力される。

【0050】図13は上記ソースドライバ74のブロック構成図である。図13において、上記ソースドライバ74は、タイミング発生回路(クロック生成手段)79、サンプルホールド回路(サンプルホールド手段)15及び出力バッファ16から構成される。タイミング発生回路79は、LCD駆動コントローラ回路25から出力される水平同期信号及び基本クロックに基づいて映像信号サンプリングクロックを水平ドット数だけ生成し、サンプルホールド回路15に出力する。このサンプリングクロックは、1Hおきに出力され、サンプリングクロックが出力されない1H期間には出力バッファ16に出力クロックを出力する。また、CPU71から出力される位相変更ラスタ指示データによりR、B、G各映像信号サンプリングクロック間位相差を制御する。

【0051】サンプルホールド回路15には、画像生成回路72からR、B、G各映像信号が入力され、サンプルホールド回路15は、前記タイミング発生回路79で発生したサンプリングクロックのタイミングを基にR、B、G各映像信号を、水平ドット数だけサンプリングし、1Hサンプルする。出力バッファ16は、水平ドット数分のサンプルデータを増幅し、カラー液晶パネル27に出力する。

【0052】図11は上記ソースドライバ74内のタイミング発生回路79の回路図であり、このタイミング発生回路79の各部の信号は前記図6のタイミングチャートと同様のタイミングチャートとなる。図11において、上記タイミング発生回路79は、大別してクロック生成部40、シフトレジスタ部50及びフェーズパルス発生部80から構成される。

【0053】上記クロック生成部40は、基本クロックck、水平同期信号Hsync及び垂直同期信号Vsyncを基にサンプリングスタート信号srt、各クロックck1、ck2a、ck3a及びサンプルホールド

50

(8)

13

ド回路15に供給される出力クロックを生成するクロック生成回路41と、フェーズパルス発生部80から出力されたクロックパルス $ck\_phase$ とクロック生成回路41からのクロック $ck2a$ のOR論理をとりクロック $ck2$ を出力するORゲート42と、フェーズパルス発生部80から出力されたクロックフェーズ切換パルス $ck\_phase$ とクロック生成回路41からのクロック $ck3a$ のOR論理をとりクロック $ck3$ を出力するORゲート43と、フェーズパルス発生部80から出力されたクロックフェーズ切換パルス $ck\_phase$ の反転出力とクロック生成回路41からのクロック $ck3a$ のOR論理をとりクロック $ck3$ を出力するORゲート43とから構成されている。

【0054】上記シフトレジスタ部50は、複数の（ $(R, B, G) \times n$ 個の）ラッチ51～57が直列に接続されて構成され、各ラッチ51～57にはクロック生成部40からクロック $ck1$ ,  $ck2$ ,  $ck3$ 又は $ck4$ が供給される。シフトレジスタ部50は、クロック生成回路41から出力されたサンプリングスタート信号 $srt$ を、上記クロック $ck1$ ,  $ck2$ ,  $ck3$ ,  $ck4$ によりシフトしサンプリングクロック（ $R, B, G$ ）1～ $n$ を出力する。上記フェーズパルス発生部80は、画像種類データとして入力された画像種類フラグを水平同期信号 $H\_sync$ のタイミングで保持するDラッチ（L1）81により構成され、Dラッチ（L1）81の出力がクロックフェーズ切換パルス $ck\_phase$ 信号となる。

【0055】なお、上記ソースドライバ74内のサンプルホールド回路15の1ドット分の回路図は、前記図4に示す回路図と同様であり、図4に示す1ドット分の回路が図10のサンプルホールド回路15内には水平ドット数分並列に存在する。

【0056】次に、本実施例の動作を説明する。  
液晶駆動装置を使用した映像表示装置70の全体動作説明

CPU71は、処理したデータに基づいて画像生成回路72を制御するための制御信号を出力し、画像生成回路72は、CPU71の制御によりメモリ手段22をアクセスして映像信号、各種同期信号などの画像データを生成して出力するとともに、映像信号サンプリングクロックの位相を表示画像種類により変更するための指定に用いる画像種類フラグを生成して出力する。

【0057】画像生成回路23からは、LCD駆動コントローラ回路25に水平、垂直同期信号等の各種同期信号が出力され、ソースドライバ74に $R, B, G$ 各映像信号及び上記画像種類フラグが出力される。ソースドライバ74では、水平方向の $RGB$ 映像信号がサンプリングされ、増幅された後カラー液晶パネル27内のトランジスタのソース電極に出力される。また、ゲートドライバ24により水平走査線位置により決定されるタイミン

14

グでカラー液晶パネル27内のトランジスタのゲート電極に走査信号が出力される。

【0058】また、画像生成回路72では、以下のような動作が行われる。メモリアクセス・画像データ生成回路76では、垂直カウンタ $Cv$ 及び各種同期信号発生回路75により発生した垂直カウンタ $Cv$ により1ラスタ毎にメモリ手段22から画像データ及びラスタ毎画像種類フラグを読み込まれて画像データ及びラスタ毎画像データが生成され、生成された画像データ及びラスタ毎画像データは、1ラスタ分の画像データレジスタ77及び現在ラスタ画像種類レジスタ78にそれぞれ格納される。1ラスタ分の画像データレジスタ77に格納された $R, B, G$ 各映像信号はソースドライバ74のサンプルホールド回路15に出力される。また、現在ラスタ画像種類レジスタ78に格納された画像種類フラグはソースドライバ74のタイミング発生回路79に出力され、ソースドライバ74は、入力された画像種類フラグによりチャージ $ck$ の位相制御を行なう。

【0059】LCDドライバの動作説明

タイミング発生回路79によりLCD駆動コントローラ回路25から出力される水平同期信号及び基本クロックに基づいて映像信号サンプリングクロックが水平ドット数だけ生成され、1Hおきにサンプルホールド回路30に出力されるとともに、サンプリングクロックが出力されない1H期間にはサンプルホールド回路30に出力クロックが出力される。

【0060】また、画像生成回路72から画像種類フラグを受け取ると、図11で後述する動作に従って $R, B, G$ 各映像信号サンプリングクロック間位相差が制御され、ソースドライバ74の $R, B, G$ 各サンプリングクロックの位相が任意の期間だけ変更できるようになる。サンプルホールド回路15には、画像生成回路72から $R, B, G$ 各映像信号が入力され、サンプルホールド回路15では、前記タイミング発生回路79で発生したサンプリングクロックのタイミングに基づいて $R, B, G$ 各映像信号が水平ドット数だけサンプリングされる。そして、出力バッファ16によって水平ドット数分のサンプルデータが増幅されてカラー液晶パネル27に出力される。

【0061】上記タイミング発生回路79の動作は、前記図6のタイミングチャートと同様なタイミングチャートで示され、コンパレータ63出力 $ck\_phase$ 信号がHレベルのときとLレベルの時で各サンプリングクロックの位相が変化する状態を示している。前記図6に示すように、タイミング発生回路79のクロック生成部40により基本クロック $ck$ 、水平同期信号 $H\_sync$ 及び垂直同期信号 $V\_sync$ を基にサンプリングスタート信号 $srt$ 、各クロック $ck1, ck2, ck3, ck4$ 及びサンプルホールド回路15に供給される出力クロックが生成される。

(9)

15

【0062】フェーズパルス発生部80を構成するDラッチ(L1)81には、画像種類データとして画像種類フラグが入力され、水平同期信号H syncのタイミングで保持され、Dラッチ(L1)81の出力がクロックフェーズ切換パルスck phase信号となる。Dラッチ(L1)81出力ck phase信号は、クロック生成部40のORゲート42~44に入力されており、ck phase信号がHレベルになるとORゲート42、43の出力ck2、ck3をHレベルに固定している。また、ck phase信号がLレベルのときはck2=ck2a、ck3=ck3aとし、ck4をHレベルに固定する。

【0063】上記クロック生成部40で生成された各クロックck1、ck2、ck3、ck4は、シフトレジスタ部50のR、B、G各サンプリングクロックのラッチ51~57で使用される。この動作により任意の垂直位置によるサンプリングクロックの位相変化を可能にしている。

【0064】そして、シフトレジスタ部50に入力されたサンプリングスタート信号srtを、上記クロックck1、ck2、ck3、ck4によりシフトすることによりサンプリングクロック(R、B、G)1~nを得ることができる。すなわち、上記シフトレジスタ部50は、複数の((R、B、G)×n個の)ラッチ51~57が直列に接続されて構成されており、各ラッチ51~57にはクロック生成部40からクロックck1、ck2、ck3又はck4が供給されると、クロック生成回路41から出力されたサンプリングスタート信号srtを、上記クロックck1、ck2、ck3、ck4によりシフトしてサンプリングクロック(R、B、G)1~nをサンプルホールド回路15に出力する。

【0065】サンプルホールド回路15から出力された水平ドット数分のサンプルデータは、出力バッファ16によって増幅されてカラー液晶パネル27に出力される。

【0066】このように本実施例の液晶駆動装置を使用した映像表示装置70のソースドライバ74は、画像生成回路72からの画像種類フラグに従ってRGB映像信号のサンプリングクロックの位相を、表示画像種類により変更できるようにしているので、文字などの静止画と動画など、異なる種類の混在する画像のLCD表示の際に文字などの静止画部分をより見やすくすることができる。

【0067】例えば、図12に示す出力画像例のように、動画部分と静止画部分の混在する表示画面において、ラストNo.=Cvの位置で画像出力フラグを変化させ、ラストNo.=Cvの位置から下の文字部分の画像についてサンプリングクロックの位相を同位相としている。これにより、水平方向ドット分解能の低下を防止することができ、静止画部分をより見やすくすることが

16

できる。

【0068】なお、上記第2実施例では、映像種類フラグをラスト毎に設けたが、1画面前の映像信号と比較することにより、映像種類フラグを決定してもよい。また、上記各実施例では、サンプリングクロックの位相を同位相と変更した場合との例を示したが、サンプリングクロックの位相を任意に変更するものであればどのような位相の変更(例えば、位相の変更の程度を複数パターン持つようにする)でもよいし、位相の変更は1水平期間単位でなくてもよく、複数水平期間単位あるいは1水平期間内で変更してもよいことは言うまでもない。さらに、タイミング発生回路等を構成する回路やマトリクス、ゲート数、その種類などは前述した実施例に限られないことは言うまでもない。カラー液晶パネルはアクティブマトリクスに限らず、単純マトリクスでもよいことは言うまでもない。

【0069】

【発明の効果】請求項1、2、3及び6、7記載の発明によれば、動画部分と静止画部分の混在する映像信号において、水平方向ドット分解能の低下を防止することができ、静止画部分を見やすくすることが可能になる。

【0070】請求項4及び5記載の発明によれば、文字などの静止画と動画など、異なる種類の混在する画像表示の際に文字などの静止画部分をより見やすくすることができる。

【図面の簡単な説明】

【図1】本発明に係る液晶駆動装置を使用した映像表示装置の第1実施例の全体構成図である。

【図2】同実施例の液晶駆動装置のソースドライバのブロック構成図である。

【図3】同実施例の液晶駆動装置のソースドライバ内のタイミング発生回路の回路図である。

【図4】同実施例の液晶駆動装置のソースドライバ内のサンプルホールド回路の1ドット分の回路図である。

【図5】同実施例の液晶駆動装置のCPUの動作を示すフローチャートである。

【図6】同実施例の液晶駆動装置の動作を示すタイミングチャートである。

【図7】同実施例の液晶駆動装置の出力画像例を示す図である。

【図8】本発明に係る液晶駆動装置の第2実施例の全体構成図である。

【図9】同実施例の液晶駆動装置の画像生成回路のブロック構成図である。

【図10】同実施例の液晶駆動装置のソースドライバのブロック構成図である。

【図11】同実施例の液晶駆動装置のソースドライバ内のタイミング発生回路の回路図である。

【図12】同実施例の液晶駆動装置の出力画像例を示す図である。

## BEST AVAILABLE COPY

(10)

17

【図13】従来の液晶駆動装置のLCDドライバの構成図である。

【図14】従来の液晶駆動装置の液晶パネル上の画素の並びを示す図である。

【図15】従来の液晶駆動装置のソースドライバのブロック構成図である。

【図16】従来の液晶駆動装置のサンプリングクロック位相差あり方式を説明するためのタイミングチャートである。

【図17】従来の液晶駆動装置のサンプリングクロック同位相方式を説明するためのタイミングチャートである。

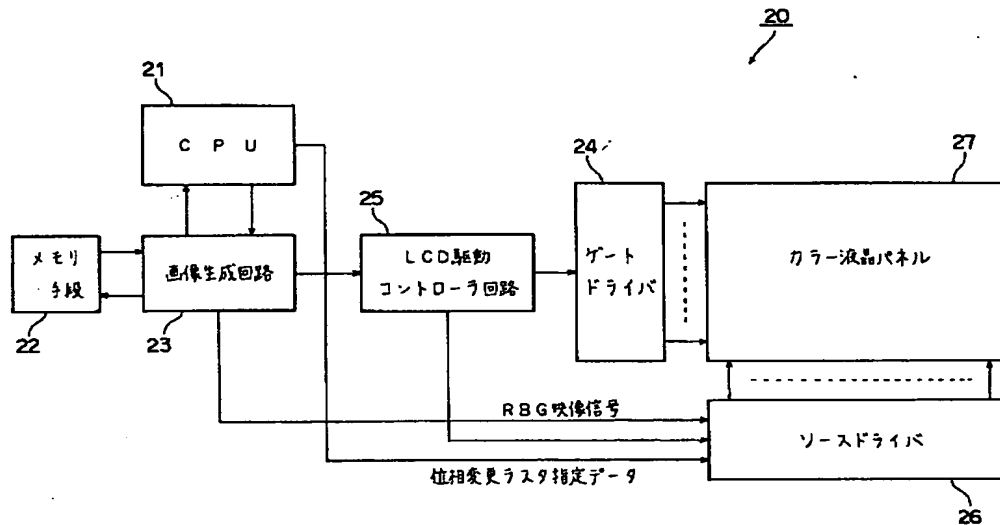
【符号の説明】

- 15 サンプルホールド回路（サンプルホールド手段）  
 16 出力バッファ  
 20、70 液晶駆動装置  
 21、71 CPU  
 22 メモリ手段  
 23、72 画像生成回路

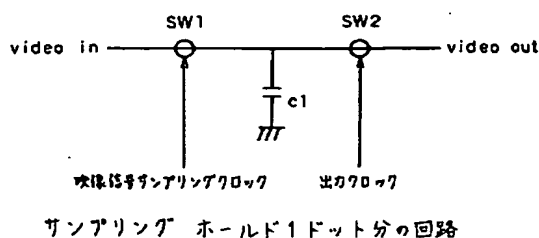
18

- 24 ゲートドライバ  
 25 LCD駆動コントローラ回路  
 26、74 ソースドライバ  
 27 カラー液晶表示パネル  
 29、79 タイミング発生回路（クロック生成手段）  
 40 クロック生成部  
 41 クロック生成回路  
 42～44 ORゲート  
 50 シフトレジスタ部  
 51～57 ラッチ  
 60、80 クロックパルス発生部  
 61 カウンタ  
 62、81 Dラッチ（L1）  
 63 コンパレータ  
 75 垂直カウンタCv及び各種同期信号発生回路  
 76 メモリアクセス・画像データ生成回路  
 77 1ラスタ分の画像データレジスタ  
 78 現在ラスタ画像種類レジスタ

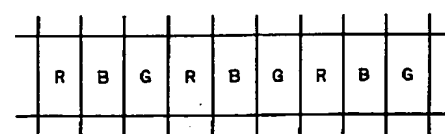
【図1】



【図4】



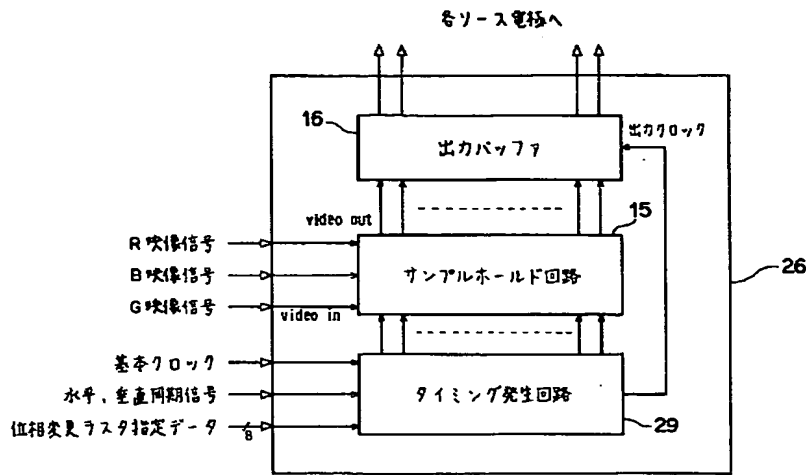
【図14】



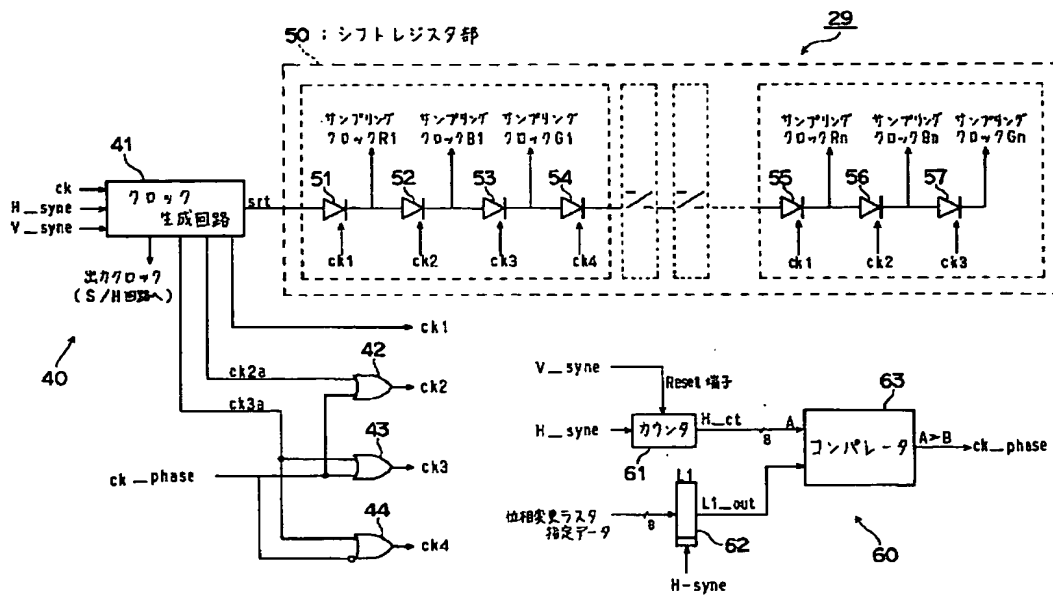


(11)

【図2】



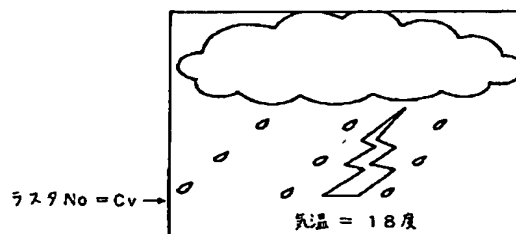
【図3】



【図7】

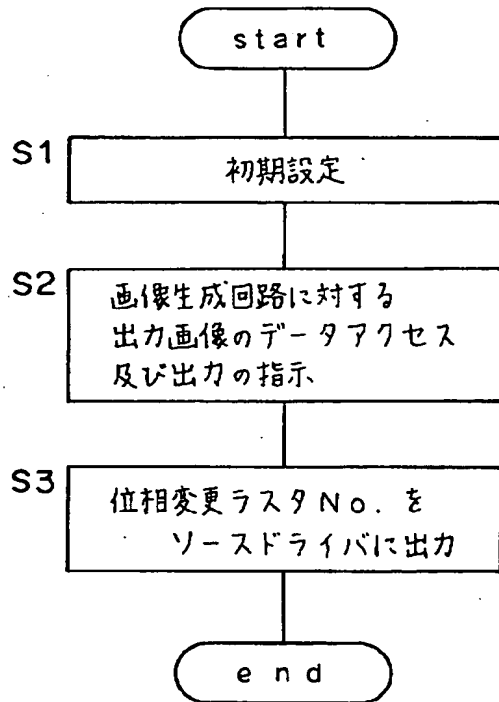
LCDSDA. XLS

表示画面

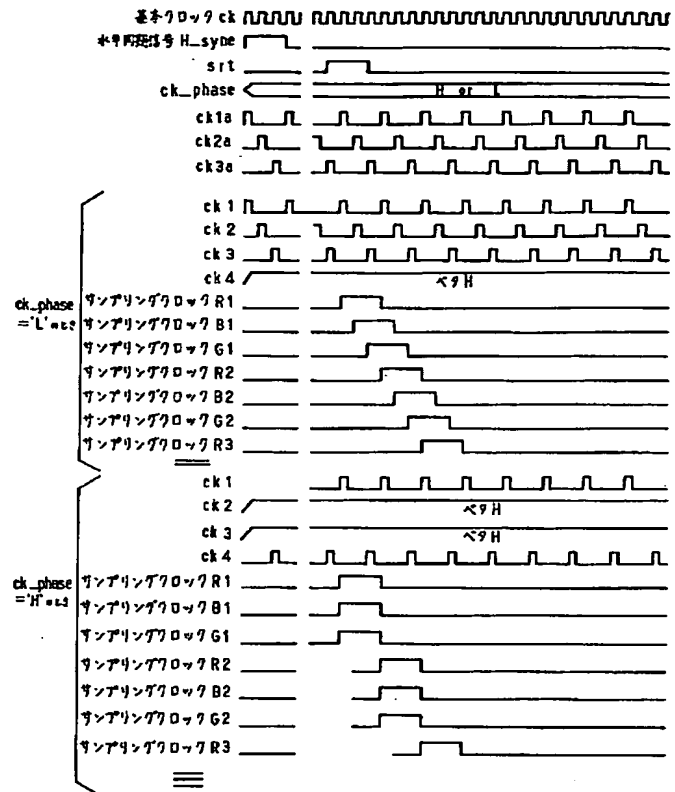


(12)

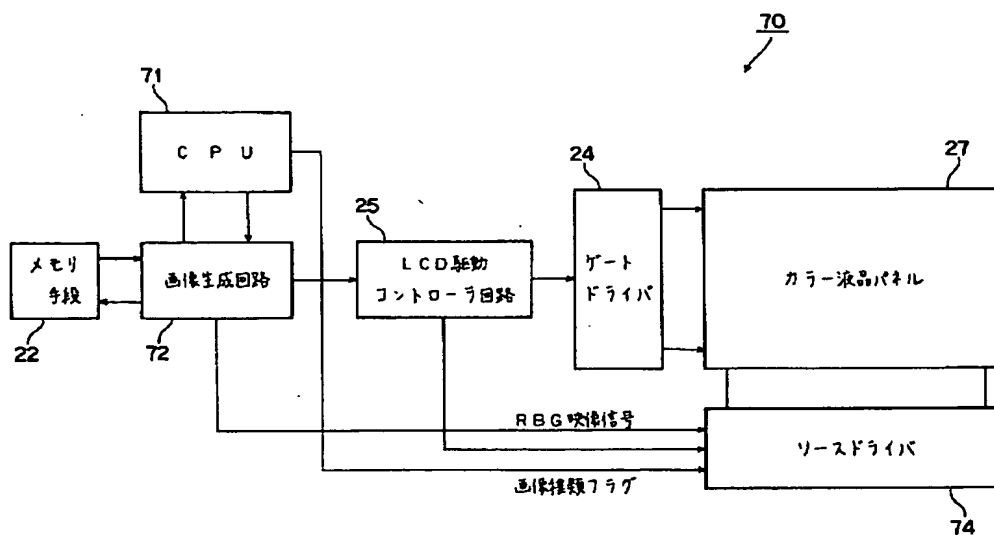
【図5】



【図6】



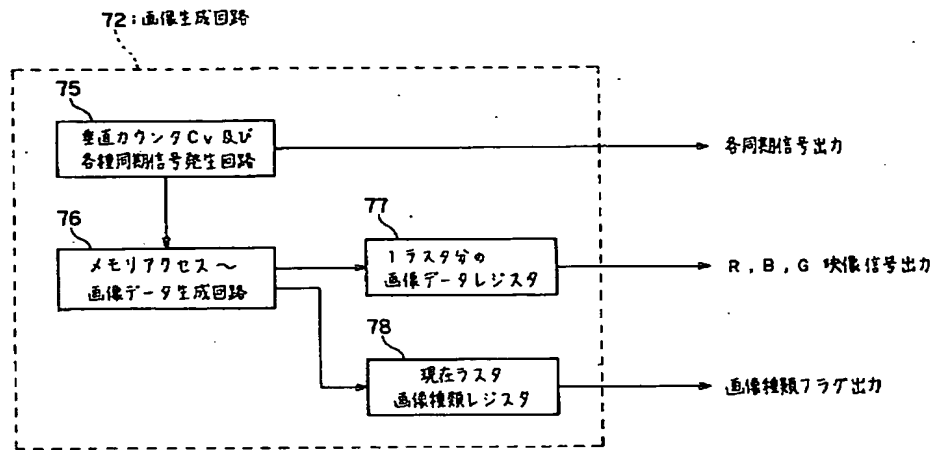
【図8】



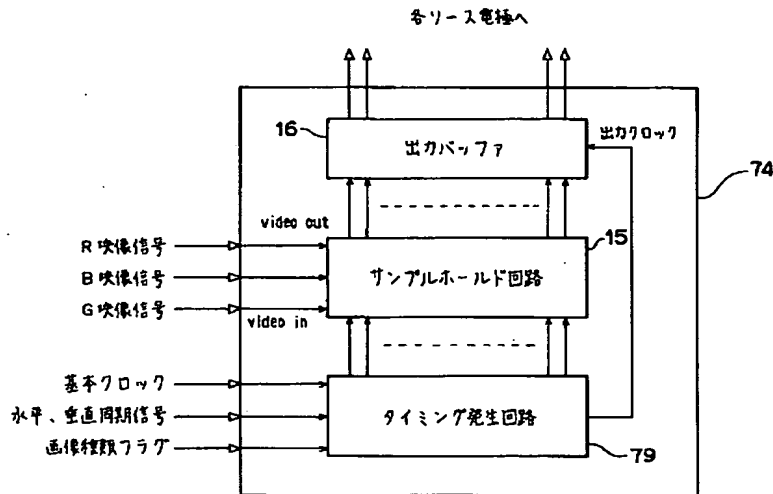
# BEST AVAILABLE COPY

(13)

【図9】

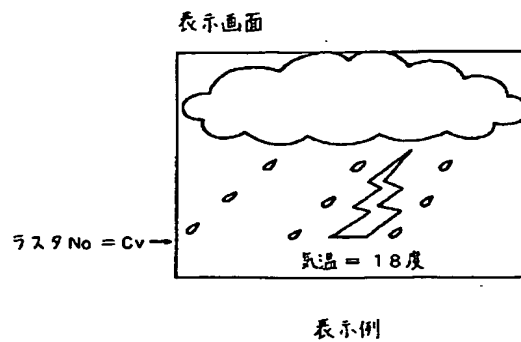


【図10】



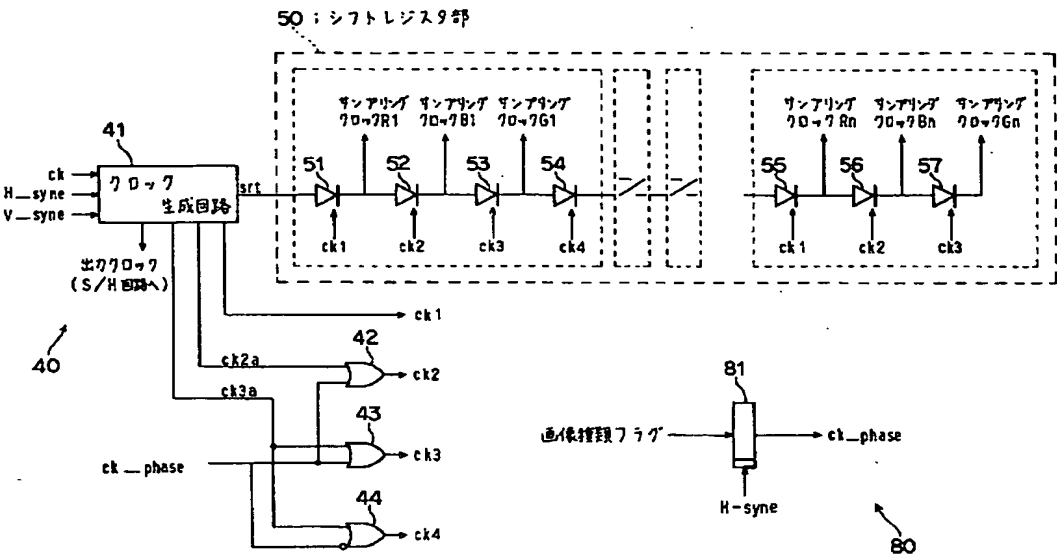
【図12】

SD-A. XLS

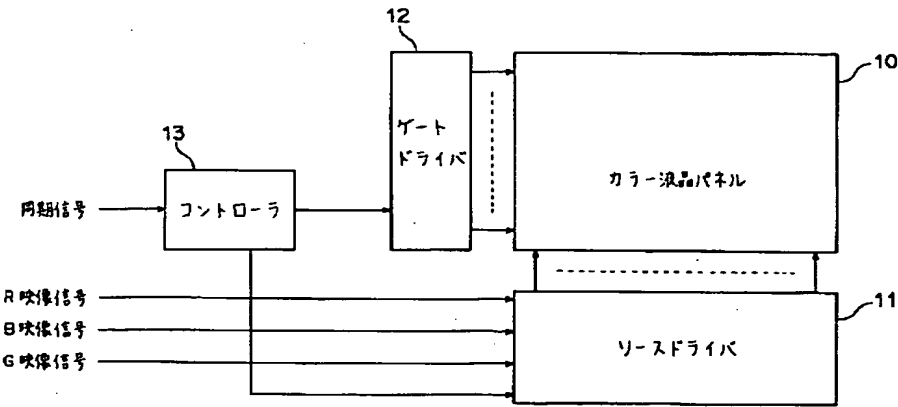


(14)

【図11】

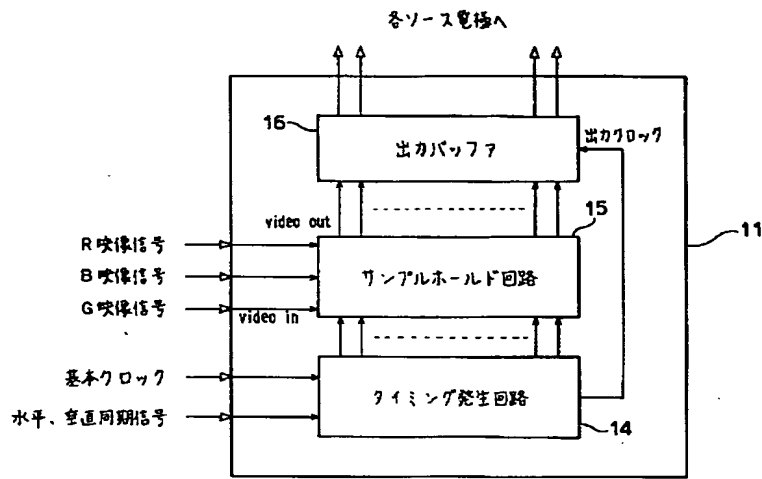


【図13】

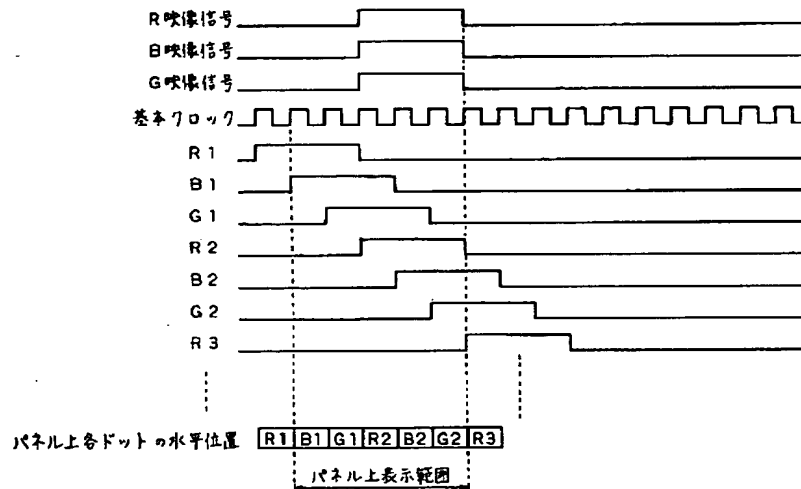


(15)

【図15】



【図16】

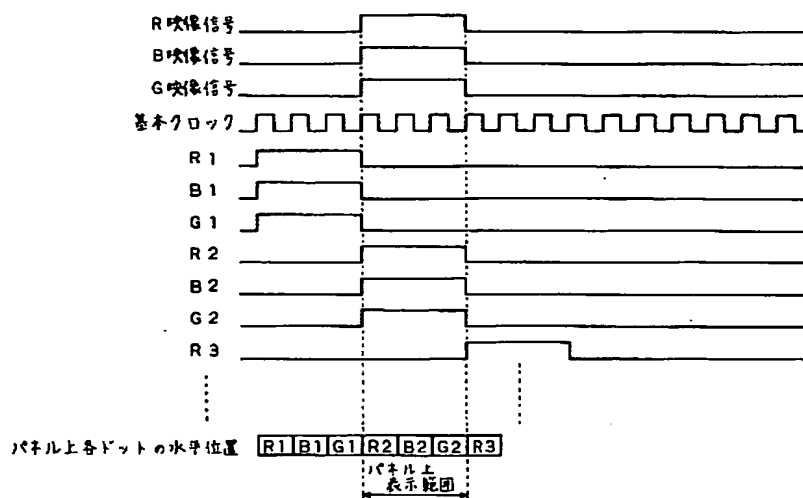


サンプリングクロック位相差あり方式

## BEST AVAILABLE COPY

(16)

【図17】



サンプリングクロック同位相方式